

Docket No.: 61282-022

PATENT

5/ Priority
paper
P. Webb
4302

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Kenji SHIMAZAKI, et al.

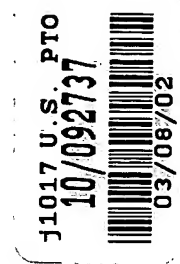
Serial No.:

Group Art Unit:

Filed: March 08, 2002

Examiner:

For: ELECTROMAGNETIC DISTURBANCE ANALYSIS METHOD AND APPARATUS
AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD USING THE
METHOD



CLAIM OF PRIORITY

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-065105, filed March 8, 2001~

A certified copy will be filed in due course.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in dark ink, appearing to read "R. Farid".

Ramyar M. Farid

Registration No. 46,692

600 13th Street, N.W.
Washington, DC 20005-3096
(202)756-8000 RMF:mlw
Facsimile: (202)756-8087
Date: March 8, 2002



日 本 国 特 許
JAPAN PATENT OFFICE

61282-022
Kenji SHIMIZAKI et al.
March 8, 2002
10/092,737
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 8日

出 願 番 号

Application Number:

特願2001-065105

[ST.10/C]:

[JP2001-065105]

出 願 人

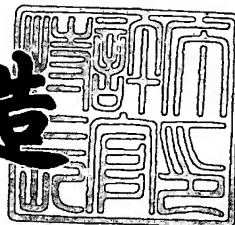
Applicant(s):

松下電器産業株式会社

2002年 3月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3014811

【書類名】 特許願

【整理番号】 5037530004

【提出日】 平成13年 3月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 島崎 健二

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 平野 将三

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 倉蘭 りつ子

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 堤 正範

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 松井 かおり

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電磁波障害解析方法および電磁波障害解析装置およびこれを用いた半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体集積回路への外部からのノイズを解析する方法であって、

対象となる半導体集積回路内部の電源配線または半導体集積回路内部の電源配線および半導体集積回路の外部電源配線のインピーダンス情報を抽出するインピーダンス抽出工程と、

前記インピーダンス情報から等価回路を作成する等価回路作成工程と、

前記等価回路の入力情報として、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析する解析工程とを含むことを特徴とする電磁波障害解析方法。

【請求項 2】 前記解析工程は、前記等価回路の入力情報として起点電源ノイズ波形を供給するノイズ波形供給工程と、

前記半導体集積回路の内部節点および端子の電源ノイズ波形を求める電源ノイズ波形計算工程と、外部からのノイズの半導体集積回路への影響を求め、前記半導体集積回路に外部からノイズが入ったときの影響を受けやすい箇所を検出するエラー箇所検出工程を含むことを特徴とする請求項 1 に記載の電磁波障害解析方法。

【請求項 3】 前記等価回路作成工程は、

前記インピーダンス情報から半導体集積回路内の各機能ブロックの縮退インピーダンス回路を作成する機能ブロック電源等価回路作成工程と、

前記インピーダンス情報から、半導体集積回路内のブロック間電源配線解析用回路を作成するブロック間電源等価回路作成工程と

を含み、

前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路の少なくとも 1 つを用いる工程であることを特徴とした請求項 1 に記載の電磁波障害解析方法。

【請求項 4】 前記等価回路作成工程は、

前記インピーダンス情報から半導体集積回路内の各機能ブロックの縮退インピーダンス回路を作成する機能ブロック電源等価回路作成工程と、

前記インピーダンス情報から、半導体集積回路内のブロック間電源配線解析用回路を作成するブロック間電源等価回路作成工程と、

前記インピーダンス情報から、半導体集積回路の外部電源配線解析用回路を作成する外部電源等価回路作成工程とを含み、

前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路、前記外部電源配線解析用回路の少なくとも1つを用いる工程であることを特徴とした請求項1記載の電磁波障害解析方法。

【請求項5】 前記ブロック間電源等価回路作成工程は、

前記機能ブロック電源等価回路作成工程により作成された前記縮退インピーダンス回路に、前記ブロック間電源配線のインピーダンス情報を付加することにより、前記ブロック間電源配線解析用回路を作成する工程であり、

前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路の少なくとも1つを用いる工程であることを特徴とした請求項3記載の電磁波障害解析方法。

【請求項6】 前記ブロック間電源等価回路作成工程は、

前記機能ブロック電源等価回路作成工程により作成された前記縮退インピーダンス回路に、前記ブロック間電源配線のインピーダンス情報を付加することにより、前記ブロック間電源配線解析用回路を作成する工程であり、

前記外部電源等価回路作成工程は、

前記ブロック間電源配線解析用回路の縮退インピーダンス回路を作成し、前記縮退インピーダンス回路に半導体集積回路外部のインピーダンス情報を付加することにより半導体集積回路外部電源配線解析用回路を構成する工程であり、

前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路、前記半導体集積回路外部電源配線解析用回路の少なくとも1つを用いる工程であることを特徴とした請求項4記載の電磁波障害解析方法。

【請求項7】 前記ノイズ波形供給工程は、前記インピーダンス情報より作成

したブロック間電源配線解析用回路の電源端子に起点電源ノイズ波形を与える工程であり、

前記電源ノイズ波形計算工程は、前記ブロック間電源配線解析用回路の各内部節点におけるブロック間電源ノイズ波形を求めると共に各機能ブロックの端子部でのブロック端子部電源ノイズ波形を求めるブロック間電源ノイズ波形計算工程と、

前記インピーダンス情報より作成された機能ブロックのインピーダンス回路に入力として前記ブロック端子部電源ノイズ波形を与えることにより、

前記機能ブロック内の各内部節点における機能ブロック電源ノイズ波形を求めると共に各素子の電源端子での素子端子部電源ノイズ波形を求める機能ブロック内電源ノイズ波形計算工程とからなり、

前記ブロック端子部電源ノイズ波形、前記ブロック間電源ノイズ波形、前記機能ブロック電源ノイズ波形および前記素子端子部電源ノイズ波形の少なくとも一つを用いて外部からのノイズの影響が大きくなると予想される回路部分の特定を行うことを特徴とする請求項2記載の電磁波障害解析方法。

【請求項8】 前記ノイズ波形供給工程は、前記インピーダンス情報より作成した半導体集積回路外部電源配線解析用回路の電源端子に起点電源ノイズ波形を与える工程であり、

前記電源ノイズ波形計算工程は、前記半導体集積回路外部電源配線解析用回路により、前記インピーダンス情報より作成したブロック間電源配線解析用回路の電源端子の端子部電源ノイズ波形を求める外部電源ノイズ波形計算工程と、

ブロック間電源配線の各内部節点におけるブロック間電源ノイズ波形を求めると共に各機能ブロックの端子部のブロック端子部電源ノイズ波形を求めるブロック間電源ノイズ波形計算工程と、

機能ブロックのインピーダンス回路に入力として前記ブロック端子部電源ノイズ波形を与えることにより、ブロック内の各内部節点における機能ブロック電源ノイズ波形を求めると共に各素子の電源端子の素子端子部電源ノイズ波形を求める機能ブロック内電源ノイズ波形計算工程とからなり、

前記端子部電源ノイズ波形、前記ブロック端子部電源ノイズ波形、前記ブロッ

ク間電源ノイズ波形、前記機能ブロック電源ノイズ波形および前記素子端子部電源ノイズ波形の少なくとも一つを用いて外部からのノイズの影響が大きくなると予想される回路部分の特定を行うことを特徴とする請求項2記載の電磁波障害解析方法。

【請求項9】 前記エラー箇所検出工程は、前記電源ノイズ波形に対して電源ノイズのピーク値の閾値を設け、前記閾値を超えたところをエラーとするエラーチェックを行うことで外部からのノイズによりエラーを起こすと予想される回路箇所の特定を行うエラーチェック工程を含むことを特徴とする請求項2記載の電磁波障害解析方法。

【請求項10】 前記エラー箇所検出工程は、前記ブロック間電源配線解析用回路の電源端子における閾値を設け、前記閾値を超えたところをエラーとするノイズチェックを行うノイズチェック工程と、エラーと判定された場合のみ、前記ブロック間電源ノイズ波形計算工程を行うことを特徴とする請求項8記載の電磁波障害解析方法。

【請求項11】 前記ブロック間電源配線解析用回路の電源端子における閾値は、前記半導体集積回路内の機能ブロックの端子、ブロック間電源配線の閾値の中で最大のものとすることを特徴とする請求項10記載の電磁波障害解析方法。

【請求項12】 前記エラー箇所検出工程は、半導体集積回路内の各機能ブロックについて電源ノイズのピークに閾値を設け、前記機能ブロックの電源端子において電源ノイズのピーク値が前記閾値を超えたところをエラーとするノイズチェックを行う、ノイズチェック工程と、エラーと判定された場合のみ、前記機能ブロック内電源ノイズ波形計算工程を行うことを含むことを特徴とする請求項7または8記載の電磁波障害解析方法。

【請求項13】 前記半導体集積回路内の各機能ブロックの電源端子の電源ノイズの閾値は、各機能ブロック内部の機能素子、電源配線の閾値の中で最大のものとすることを特徴とする請求項12記載の電磁波障害解析方法。

【請求項14】 前記エラーチェック工程は、半導体集積回路内の各機能素子について電源ノイズのピークの閾値を設け、前記機能素子の電源端子において電源ノイズのピーク値が前記閾値を超えたところをエラーとするノイズチェックを

行うノイズチェック工程を含むことを特徴とする請求項 9 記載の電磁波障害解析方法。

【請求項 1 5】 前記エラーチェック工程は、前記半導体集積回路内の各機能ブロック内の電源配線またはブロック間の電源配線について隣接する信号線との距離、並行配線長により決まる電源ノイズのピークの閾値を設け、前記電源配線の各内部節点において電源ノイズのピーク値が前記閾値を超えたところをエラーとするチェックを行うノイズチェック工程を含むことを特徴とする請求項 9 記載の電磁波障害解析方法。

【請求項 1 6】 半導体集積回路への外部からのノイズを解析する解析装置であって、

対象となる半導体集積回路内部の電源配線または半導体集積回路内部の電源配線および半導体集積回路の外部電源配線のインピーダンス情報を抽出する抽出手段と、

前記インピーダンス情報から等価回路を作成する等価回路作成手段と、

前記等価回路の入力情報として、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析する解析手段とを含むことを特徴とする電磁波障害解析装置。

【請求項 1 7】 前記解析工程は、前記半導体集積回路の各回路素子の電源端子での電源波形を求める工程と、

前記各回路素子の電源端子での電源波形に基づいて、前記回路素子の遅延時間を計算する計算工程と、

前記回路素子の遅延時間が、許容範囲内であるか否かを判定するタイミング検証工程とを含むことを特徴とする請求項 1 に記載の電磁波障害解析方法。

【請求項 1 8】 前記解析工程は、前記半導体集積回路の各回路素子の電源端子での電源波形を求める工程と、

前記各回路素子の電源端子での電源波形に基づいて、前記回路素子の遅延時間を計算する計算工程と、

連続する前記回路素子列の遅延時間の和が、許容範囲内であるか否かを判定するタイミング検証工程とを含むことを特徴とする請求項 1 に記載の電磁波障害解

析方法。

【請求項 19】 前記解析工程は、前記電源端子のノイズ波形の入力タイミングとピーク値の少なくとも一方を変化させた時の回路素子の遅延時間の変化量を算出し、その算出結果に基づいて遅延変化量データベースを作成するデータベース作成工程を含み、

前記計算工程は、前記遅延変化量データベースから、所望のノイズ波形に対する前記回路素子の遅延時間の変化量を求める工程を含むことを特徴とする請求項 17 または 18 に記載の電磁波障害解析方法。

【請求項 20】 前記解析工程は、前記電源端子のノイズ波形の入力タイミングとピーク値の少なくとも一方を変化させた時の回路素子の遅延時間の変化量を算出し、この算出結果を、電源ノイズがない場合の回路素子の遅延時間に対する割合として求めて遅延変化割合データベースを作成するデータベース作成工程を含み、

前記計算工程は、電源ノイズがない場合の回路素子の遅延時間に、前記遅延変化割合データベースから読み出された前記割合を掛け合わせることで所望のノイズに対する回路素子の遅延変化量を求める工程を含むことを特徴とする請求項 17 または 18 に記載の電磁波障害解析方法。

【請求項 21】 前記解析工程は、連続した回路素子列に対し、各回路素子の遅延時間の変化量が最大となる電源ノイズの入力タイミングでの前記連続した回路素子列の遅延変化量を、前記連続した回路素子列の最大の遅延変化量として求める工程を含むことを特徴とする請求項 18 に記載の電磁波障害解析方法。

【請求項 22】 前記解析工程は、電源ノイズにより回路素子の遅延時間が変化することにより、回路の動作に必要な時間内に信号が到達せず、回路動作が想定した動作とは異なる結果となってしまう回路部分を検出する工程を含むことを特徴とする請求項 1 に記載の電磁波障害解析方法。

【請求項 23】 さらに、検出された前記回路部分から、電源ノイズによりもっとも遅延時間に影響する回路素子を探索し、エラー素子として検出するエラー素子検出工程を含むことを特徴とする請求項 22 に記載の電磁波障害解析方法。

【請求項 24】 さらに前記エラー素子に対して電源ノイズ耐性強化対策を実行

する強化工程を含むことを特徴とする請求項 2 3 に記載の電磁波障害解析方法。

【請求項 2 5】 さらに、前記エラー素子検出工程でエラー素子とされた回路素子を、電源ノイズに対して遅延変化量が小さい回路素子に置換する置換工程を含むことを特徴とする請求項 2 3 に記載の電磁波障害解析方法。

【請求項 2 6】 さらに、前記エラー素子検出工程でエラー素子とされた回路素子を、制約時間を満たす回路素子に置換する置換工程を含むことを特徴とする請求項 2 3 に記載の電磁波障害解析方法。

【請求項 2 7】 前記請求項 1 乃至 2 6 のいずれかに記載の電磁波障害解析方法を用いた解析結果にもとづき、エラーを回避したレイアウト設計を行い、半導体装置を製造する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 2 8】 L S I の電磁波障害を解析する方法であって、

電源ノイズの伝播経路において、電源ノイズにより出力結果あるいは内部状態を変えるノイズの閾値を算出しこれをライブラリに格納するライブラリ化工程と

前記ライブラリを参照しつつ、前記 L S I の全回路素子について、電源ノイズの影響を受けるか否かを解析する解析工程とを含むことを特徴とする電磁波障害解析方法。

【請求項 2 9】 前記ライブラリ化工程は、回路素子の通過可能な最小の電源ノイズの電圧あるいは電流波形のピーク、幅、形状のいずれかの関数あるいは値をライブラリに格納する工程を含むことを特徴とする請求項 2 8 記載の電磁波障害解析方法。

【請求項 3 0】 前記ライブラリ化工程は、回路素子の端子に入力し、回路素子の端子を出力するあるいは内部状態を変更する経路のノイズの閾値をライブラリに格納する工程を含むことを特徴とする請求項 2 8 記載の電磁波障害解析方法。

【請求項 3 1】 前記解析工程は、回路素子の端子に入力し、回路素子の端子を出力するあるいは内部状態を変更する経路を解析する工程を含むことを特徴とする請求項 2 8 記載の電磁波障害解析方法。

【請求項 3 2】 前記解析工程は、経路の情報を記録する記録工程を含むことを特徴とする請求項 2 8 記載の電磁波障害解析方法。

【請求項 33】 前記記録工程は、ノイズの伝播する回路素子を記録する工程を含むことを特徴とする請求項 32 記載の電磁波障害解析方法。

【請求項 34】 前記記録工程は、ノイズの伝播するレジスタ素子を記録する工程を含むことを特徴とする請求項 32 記載の電磁波障害解析方法。

【請求項 35】 前記記録工程は、ノイズの伝播する回路素子を仮想的に異なるドライブ能力の回路素子に変更した際のダメージを記録する工程を含むことを特徴とする請求項 32 記載の電磁波障害解析方法。

【請求項 36】 前記記録工程は、経路上のノイズに弱い回路素子を記録する工程を含むことを特徴とする請求項 32 記載の電磁波障害解析方法。

【請求項 37】 前記解析工程は、電磁波解析を行う電磁波解析工程により、前記電源ノイズを算出する工程を含むことを特徴とする請求項 28 記載の電磁波障害解析方法。

【請求項 38】 前記解析工程は、指定された回路素子への経路上のノイズに弱い回路素子を記録する工程を含むことを特徴とする請求項 28 記載の電磁波障害解析方法。

【請求項 39】 前記解析工程は、レジスタ素子への経路上のノイズに弱い回路素子を記録する工程を含むことを特徴とする請求項 28 記載の電磁波障害解析方法。

【請求項 40】 LSI の電磁波障害を解析する解析装置であって、

電源ノイズの伝播経路において、電源ノイズにより出力結果あるいは内部状態を変えるノイズの閾値を格納するライブラリと、

前記ライブラリを参照しつつ、前記 LSI の全回路素子について、電源ノイズの影響を受けるか否かを解析する解析手段とを含むことを特徴とする電磁波障害解析装置。

【請求項 41】 LSI の電磁波障害を解析する工程と、

前記解析結果に基づいて対策を必要とするブロック又はインスタンスをソートするソート工程と、

前記ソート工程で配列された順序に従って、各ブロック又はインスタンスに電源ノイズを消去するための対策処理を施す処理工程とを含むことを特徴とする電

磁波障害処理方法。

【請求項 4 2】 さらに

前記処理工程後の当該ブロック又はインスタンスの EMS 解析を行う解析工程と、

前記解析工程で電源ノイズの影響が所定の値以下で有ると判断されるまで、前記処理工程および解析工程を繰り返すようにしたことを特徴とする請求項 4 1 に記載の電磁波障害処理方法。

【請求項 4 3】 前記処理工程は、ノイズを含む電流がスイッチ素子に入るタイミングで前記スイッチ素子が高抵抗となるように遅延調整を行う遅延調整素子と、前記スイッチ素子と容量素子とで形成される RC フィルタ回路を挿入する工程であることを特徴とする請求項 4 2 に記載の電磁波障害処理方法。

【請求項 4 4】 前記処理工程は、インダクタを挿入する工程であることを特徴とする請求項 4 2 に記載の電磁波障害処理方法。

【請求項 4 5】 前記処理工程は、電源配線長距離を調整する工程であることを特徴とする請求項 4 2 に記載の電磁波障害処理方法。

【請求項 4 6】 前記処理工程は、タイミングに余裕のあるセルの駆動能力を下げるようにセルランクを変更する工程であることを特徴とする請求項 4 2 に記載の電磁波障害処理方法。

【請求項 4 7】 L S I の電磁波障害を解析する解析手段と、

前記解析手段の解析結果に基づいて対策を必要とするブロック又はインスタンスをソートするソーティング手段と、

前記ソーティング手段で配列された順序に従って、各ブロック又はインスタンスに電源ノイズを消去するための対策処理を施す処理手段とを含むことを特徴とする電磁波障害処理装置。

【請求項 4 8】 さらに

前記処理装置で処理のなされた当該ブロック又はインスタンスの EMS 解析を行う解析手段とを含み、

前記解析手段で電源ノイズの影響が所定の値以下で有ると判断されるまで、前記処理および解析を繰り返すようにしたことを特徴とする請求項 4 7 に記載の電

磁波障害処理装置。

【請求項 4 9】 前記解析工程で解析されたノイズに対して弱いセルとそれらの間の経路をハイライト表示する表示工程を含むことを特徴とする請求項 1 乃至 3 9、4 1 乃至 4 6 のいずれかに記載の電磁波障害解析方法。

【請求項 5 0】 メモリセルなどのレジスタセルをハイライト表示する表示工程を含むことを特徴とする請求項 1 乃至 3 9、4 1 乃至 4 6 のいずれかに記載の電磁波障害解析方法。

【請求項 5 1】 前記解析工程でノイズに弱く交換すべきであると解析されたセル情報を表示する表示工程を含むことを特徴とする請求項 1 乃至 3 9、4 1 乃至 4 6 のいずれかに記載の電磁波障害解析方法。

【請求項 5 2】 前記解析工程で交換すべきであると解析されたセル情報に基づき、仮想的に変更して各セルに対してパラメータを書きなおして表示する仮想表示工程を含むことを特徴とする請求項 1 乃至 3 9、4 1 乃至 4 6 のいずれかに記載の電磁波障害解析方法。

【請求項 5 3】 前記解析工程で対策が必要であると判断されたブロックまたはインスタンスをソートするソーティング工程を含むことを特徴とする請求項 1 乃至 3 9、4 1 乃至 4 6 のいずれかに記載の電磁波障害解析方法。

【請求項 5 4】 前記解析工程で対策が必要であると判断されたブロックまたはインスタンスに対して行う対策をソートする対策ソート工程を含むことを特徴とする請求項 4 1 に記載の電磁波障害解析方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電磁波障害 (EMS : Electromagnetic susceptibility) 解析方法および電磁波障害解析装置およびこれを用いた半導体装置の製造方法に係り、特に、大規模でかつ高速駆動の L S I (大規模半導体集積回路) に対して高速かつ高精度の EMS 解析を行い、電磁放射による直接 EMS と電源からの間接 EMS とを解析する方法に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路の高速化、高集積化に伴い、半導体集積回路が外部からのノイズにより誤動作を起こす電磁波障害(EMS)が問題となっている。

【0003】

EMSが発生する原因の1つとして、半導体集積回路外部から電源線に入ったノイズが半導体集積回路内部へと伝播し、これが信号線や各機能素子に影響を与え、誤動作を引き起こすことが考えられる。従来、半導体集積回路が受けるノイズによる誤動作を解析するために設計段階において回路シミュレータやより高速な遅延シミュレータによって半導体集積回路の信号線にノイズが発生した場合のシミュレーションを行い、ノイズによって誤動作を引き起こすかどうかを調べるという取り組みはおこなっていた。

【0004】

また、EMSノイズ以外のノイズの解析方法として、LSIの信号配線間のクロストークノイズを解析する方法がある。その一例として、図32に示すように、信号配線間のノイズを解析すべく、加害者側の回路素子が出力した信号変化が並行した信号配線間のカップリング容量により被害者側の回路素子に伝播するノイズを解析する方法が提案されている(特許第2076858号)。この技術では信号線と電源線の間に発生する影響を考慮してはならず、したがって、EMSノイズを解析することが出来ないという問題があった。

【0005】

また、SPICEなどのトランジスタレベルシミュレータにより、図33に示すように電源にノイズを含む信号Sをいれて解析することはできるが、誤動作の解明には多数のテストパターンを流し、各回路素子(ゲート)の出力信号をチェックし、期待する出力と異なる値がでることを確認しなければ、問題発生個所をつかむことができない。

【0006】

つまり、全てのセルにプローブを配することなしには完全に問題発生個所をつかむことはできず、大規模LSIの場合はこの作業が究めて困難である。

【0007】

また、問題発生個所をつかむことはできても、どのゲートを修正すべきかわからないという問題があった。

【0008】

また、多数のテストベクタを使用しても、LSIが動いている状態にしないことには100%は問題発生個所をつかむことはできない。

【0009】

【発明が解決しようとする課題】

このように、上述した従来技術は、大規模な集積回路に対しては膨大なシミュレーション時間が必要となる。また、回路内部の回路素子が引き起こす信号変化が原因で信号線にノイズが発生した場合すなわちクロストークノイズについては考慮しているが、電源線にノイズが発生した場合すなわち間接EMSの半導体集積回路内部への影響や、電磁放射により半導体集積回路内部にノイズが発生した場合すなわち直接EMSについては考慮されていない。また、EMSの影響の仕方の解析やEMS対策のための回路の修正が困難である。

【0010】

このため、回路の大型化が進むにつれて、半導体集積回路では外部からの電源ノイズ（間接EMS）や電磁波による輻射ノイズ（直接EMS）による誤動作が深刻な問題となっている。従来、外部からのノイズに対する半導体集積回路の耐性を調べるため、半導体集積回路を製品化した後、実際に半導体集積回路に電源ノイズを与えたり外部より強い電磁波を与えて外部のノイズに対する半導体集積回路の耐性を評価するという方法がとられている。そして、当該半導体集積回路が、ノイズに対する耐性が低い場合は半導体集積回路内にデカップリングコンデンサを挿入したり、回路を修正することでノイズに対する耐性強化を行なっていた。

【0011】

このように従来は、半導体集積回路を製品化した後に外部からのノイズに対する耐性について検査を行なっているため、検査時に外部からのノイズに対する問題があった場合は半導体集積回路の修正が必要となり設計期間が増大するという問題があった。

【0012】

本発明は前記実情に鑑みてなされたもので、LSIの大規模化・高速化を維持しつつも電磁波障害を低減するための方法に関するものである。

【0013】

すなわち、本発明は、外部から電源にノイズが入る間接EMSによる誤動作および、電磁波放射による直接EMSによる誤動作を防止し、容易に信頼性の高い半導体集積回路装置のレイアウトを提供することを目的とする。

【0014】

また、本発明は、大規模な半導体集積回路において、電源配線のノイズ波形の伝播を求めることにより設計段階でノイズの影響で潜在的に回路の誤動作を引き起こしやすい箇所を容易に特定する方法を提供することを目的とする。

【0015】

さらにまた、本発明は、電源ノイズに対する回路動作の検証をシミュレーションで行うことにより、製品化する前に半導体集積回路のノイズの耐性を強化することを目的とする。

【0016】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体集積回路への外部からのノイズを解析する方法は、対象となる半導体集積回路内部の電源配線または半導体集積回路内部の電源配線および半導体集積回路の外部電源配線のインピーダンス情報を抽出するインピーダンス抽出工程と、前記インピーダンス情報から等価回路を作成する等価回路作成工程と、前記等価回路の入力情報として、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析する解析工程とを含むことを特徴とする。

【0017】

かかる工程によれば、インピーダンス情報から等価回路を作成し、この等価回路に、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析するようにしているため、容易に高精度のEMS対策を行うことが可能となる。

【 0 0 1 8 】

本発明の第2では、前記解析工程は、前記等価回路の入力情報として起点電源ノイズ波形を供給するノイズ波形供給工程と、前記半導体集積回路の内部節点および端子の電源ノイズ波形を求める電源ノイズ波形計算工程と、外部からのノイズの半導体集積回路への影響を求め、前記半導体集積回路に外部からノイズが入ったときの影響を受けやすい箇所を検出するエラー箇所検出工程を含むことを特徴とする。

【 0 0 1 9 】

かかる構成によれば、外部からノイズが入ったときの影響を受けやすい箇所を容易に検出することができ、容易に効率よく高精度のEMS対策を行うことが可能となる。

【 0 0 2 0 】

本発明の第3では、前記等価回路作成工程は、前記インピーダンス情報から半導体集積回路内の各機能ブロックの縮退インピーダンス回路を作成する機能ブロック電源等価回路作成工程と、前記インピーダンス情報から、半導体集積回路内のブロック間電源配線解析用回路を作成するブロック間電源等価回路作成工程とを含み、前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路の少なくとも1つを用いる工程であることを特徴とする。

【 0 0 2 1 】

本発明の第4によれば、前記等価回路作成工程は、前記インピーダンス情報から半導体集積回路内の各機能ブロックの縮退インピーダンス回路を作成する機能ブロック電源等価回路作成工程と、前記インピーダンス情報から、半導体集積回路内のブロック間電源配線解析用回路を作成するブロック間電源等価回路作成工程と、前記インピーダンス情報から、半導体集積回路の外部電源配線解析用回路を作成する外部電源等価回路作成工程とを含み、前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路、前記外部電源配線解析用回路の少なくとも1つを用いる工程であることを特徴とする。

【 0 0 2 2 】

上記第3および第4によれば、電源ノイズ波形を半導体集積回路外部の電源線に
入力し、その電源ノイズ波形の伝播の様子をシミュレーションにより解析し、半
導体集積回路内の各地点での電源波形を求めることで、EMSの影響を受けやす
い箇所の特定を行うことが容易に可能となる。

【 0 0 2 3 】

本発明の第5によれば、前記ブロック間電源等価回路作成工程は、前記機能ブ
ロック電源等価回路作成工程により作成された前記縮退インピーダンス回路に、
前記ブロック間電源配線のインピーダンス情報を付加することにより、前記ブロ
ック間電源配線解析用回路を作成する工程であり、前記解析工程は、前記等価回
路として前記縮退インピーダンス回路、前記ブロック間電源配線解析用回路の少
なくとも1つを用いる工程であることを特徴とする。

【 0 0 2 4 】

本発明の第6によれば、前記ブロック間電源等価回路作成工程は、前記機能ブ
ロック電源等価回路作成工程により作成された前記縮退インピーダンス回路に、
前記ブロック間電源配線のインピーダンス情報を付加することにより、前記ブロ
ック間電源配線解析用回路を作成する工程であり、前記外部電源等価回路作成工
程は、前記ブロック間電源配線解析用回路の縮退インピーダンス回路を作成し、
前記縮退インピーダンス回路に半導体集積回路外部のインピーダンス情報を付加
することにより半導体集積回路外部電源配線解析用回路を構成する工程であり、
前記解析工程は、前記等価回路として前記縮退インピーダンス回路、前記ブロ
ック間電源配線解析用回路、前記半導体集積回路外部電源配線解析用回路の少な
くとも1つを用いる工程であることを特徴とする。

【 0 0 2 5 】

上記第5乃至第6によれば、上記第3および4による効果に加え、縮退インピ
ーダンス回路を用いているため、演算が簡略化され、容易に信頼性の高い解析を
行なうことが可能となる。本発明の第7では、前記ノイズ波形供給工程は、前記
インピーダンス情報より作成したブロック間電源配線解析用回路の電源端子に起
点電源ノイズ波形を与える工程であり、前記電源ノイズ波形計算工程は、前記ブ

ロック間電源配線解析用回路の各内部節点におけるブロック間電源ノイズ波形を求めると共に各機能ブロックの端子部でのブロック端子部電源ノイズ波形を求めるブロック間電源ノイズ波形計算工程と、前記インピーダンス情報より作成された機能ブロックのインピーダンス回路に入力として前記ブロック端子部電源ノイズ波形を与えることにより、前記機能ブロック内の各内部節点における機能ブロック電源ノイズ波形を求めると共に各素子の電源端子での素子端子部電源ノイズ波形を求める機能ブロック内電源ノイズ波形計算工程からなり、前記ブロック端子部電源ノイズ波形、前記ブロック間電源ノイズ波形、前記機能ブロック電源ノイズ波形および前記素子端子部電源ノイズ波形の少なくとも一つを用いて外部からのノイズの影響が大きくなると予想される回路部分の特定を行うことを特徴とする。

【 0 0 2 6 】

本発明の第 8 では、前記ノイズ波形供給工程は、前記インピーダンス情報より作成した半導体集積回路外部電源配線解析用回路の電源端子に起点電源ノイズ波形を与える工程であり、前記電源ノイズ波形計算工程は、前記半導体集積回路外部電源配線解析用回路により、前記インピーダンス情報より作成したブロック間電源配線解析用回路の電源端子の端子部電源ノイズ波形を求める外部電源ノイズ波形計算工程と、ブロック間電源配線の各内部節点におけるブロック間電源ノイズ波形を求めると共に各機能ブロックの端子部のブロック端子部電源ノイズ波形を求めるブロック間電源ノイズ波形計算工程と、機能ブロックのインピーダンス回路に入力として前記ブロック端子部電源ノイズ波形を与えることにより、ブロック内の各内部節点における機能ブロック電源ノイズ波形を求めると共に各素子の電源端子の素子端子部電源ノイズ波形を求める機能ブロック内電源ノイズ波形計算工程からなり、前記端子部電源ノイズ波形、前記ブロック端子部電源ノイズ波形、前記ブロック間電源ノイズ波形、前記機能ブロック電源ノイズ波形および前記素子端子部電源ノイズ波形の少なくとも一つを用いて外部からのノイズの影響が大きくなると予想される回路部分の特定を行うことを特徴とする。

【 0 0 2 7 】

かかる構成によれば、電源配線のインピーダンスモデルを半導体集積回路外

部と半導体集積回路内部のブロック間配線と半導体集積回路内部のブロック内部の配線に分け階層的に電源ノイズ波形を求めることで、大規模な半導体集積回路の解析も可能となる。

【 0 0 2 8 】

本発明の第9によれば、前記エラー箇所検出工程は、前記電源ノイズ波形に対して電源ノイズのピーク値の閾値を設け、前記閾値を超えたところをエラーとするエラーチェックを行うことで外部からのノイズによりエラーを起こすと予想される回路箇所の特定を行うエラーチェック工程を含むことを特徴とする。

【 0 0 2 9 】

かかる構成によれば、あらかじめ決定された閾値に従ってエラーチェックを行なうようにしているため、容易に、効率良くエラーを起こすと予想される回路箇所の特定を行なうことが可能となる。

【 0 0 3 0 】

本発明の第10によれば、前記エラー箇所検出工程は、前記ブロック間電源配線解析用回路の電源端子における閾値を設け、前記閾値を超えたところをエラーとするノイズチェックを行うノイズチェック工程と、エラーと判定された場合のみ、前記ブロック間電源ノイズ波形計算工程を行うことを特徴とする。

【 0 0 3 1 】

かかる構成によれば、ブロック間電源配線解析用回路の電源端子における閾値を越えているとしてエラーと判定された場合のみ、ブロック間電源ノイズ波形計算工程を実行するようにしているため、無駄な工程がなく、効率良いチェックが可能となる。

【 0 0 3 2 】

本発明の第11では、前記ブロック間電源配線解析用回路の電源端子における閾値は、前記半導体集積回路内の機能ブロックの端子、ブロック間電源配線の閾値の中で最大のものとすることを特徴とする。

【 0 0 3 3 】

かかる構成によれば、ブロック間電源配線解析用回路の電源端子における閾値を半導体集積回路内の機能ブロックの端子、ブロック間電源配線の閾値の中で最

大のものに設定しているため、無駄な計算が実行されるのを防止し、効率良いチェックを行なうことが可能となる。

【 0 0 3 4 】

本発明の第 1 2 では、前記エラー箇所検出工程は、半導体集積回路内の各機能ブロックについて電源ノイズのピークに閾値を設け、前記機能ブロックの電源端子において電源ノイズのピーク値が前記閾値を超えたところをエラーとするノイズチェックを行う、ノイズチェック工程と、エラーと判定された場合のみ、前記機能ブロック内電源ノイズ波形計算工程を行うことを含むことを特徴とする。

【 0 0 3 5 】

かかる構成によれば、各機能ブロックについての電源ノイズのピークに設けた閾値を越えているとしてエラーと判定された場合のみ、ブロック内電源ノイズ波形計算工程を実行するようにしているため、無駄な工程がなく、効率良いチェックが可能となる。

【 0 0 3 6 】

本発明の第 1 3 では、前記半導体集積回路内の各機能ブロックの電源端子の電源ノイズの閾値は、各機能ブロック内部の機能素子、電源配線の閾値の中で最大のものとすることを特徴とする。

【 0 0 3 7 】

かかる構成によれば、ブロック内電源配線解析用回路の電源端子における閾値を半導体集積回路内の機能素子、機能ブロック内部の機能素子、電源配線の閾値の中で最大のものに設定しているため、無駄な計算が実行されるのを防止し、効率良いチェックを行なうことが可能となる。

【 0 0 3 8 】

本発明の第 1 4 は、前記エラーチェック工程は、半導体集積回路内の各機能素子について電源ノイズのピークの閾値を設け、前記機能素子の電源端子において電源ノイズのピーク値が前記閾値を超えたところをエラーとするノイズチェックを行うノイズチェック工程を含むことを特徴とする。

【 0 0 3 9 】

かかる構成によれば、あらかじめ決定された閾値に従ってエラーチェックを行

なうようにしているため、容易に、効率良くエラーを起こすと予想される回路箇所の特定を行なうことが可能となる。

【0040】

本発明の第15によれば、前記エラーチェック工程は、前記半導体集積回路内の各機能ブロック内の電源配線またはブロック間の電源配線について隣接する信号線との距離、並行配線長により決まる電源ノイズのピークの閾値を設け、前記電源配線の各内部節点において電源ノイズのピーク値が前記閾値を超えたところをエラーとするチェックを行うノイズチェック工程を含むことを特徴とする。

【0041】

かかる構成によれば、各機能ブロック内の電源配線又はブロック間の電源配線についての電源ノイズのピークに設けた閾値を越えているとしてエラーと判定された場合のみ、ブロック内電源ノイズ波形計算工程を実行するようにしているため、無駄な工程がなく、効率良いチェックが可能となる。

【0042】

本発明の第16によれば、半導体集積回路への外部からのノイズを解析する解析装置であって、対象となる半導体集積回路内部の電源配線または半導体集積回路内部の電源配線および半導体集積回路の外部電源配線のインピーダンス情報を抽出する抽出手段と、前記インピーダンス情報から等価回路を作成する等価回路作成手段と、前記等価回路の入力情報として、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析する解析手段と含むことを特徴とする。

【0043】

かかる構成によれば、インピーダンス情報から等価回路を作成し、この等価回路に、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析するようにしているため、容易に高精度のEMS対策を行うことが可能となる。

【0044】

本発明の第17によれば、前記解析工程は、前記半導体集積回路の各回路素子の電源端子での電源波形を求める工程と、前記各回路素子の電源端子での電源波

形に基づいて、前記回路素子の遅延時間を計算する計算工程と、前記回路素子の遅延時間が、許容範囲内であるか否かを判定するタイミング検証工程とを含むことを特徴とする。

【 0 0 4 5 】

かかる構成によれば、各回路素子の電源端子での電源波形に基づいて、算出された遅延時間に基づいて、タイミング検証をしているため、容易に高精度の検証が可能となる。

【 0 0 4 6 】

本発明の第 1 8 によれば、前記解析工程は、前記半導体集積回路の各回路素子の電源端子での電源波形を求める工程と、前記各回路素子の電源端子での電源波形に基づいて、前記回路素子の遅延時間を計算する計算工程と、連続する前記回路素子列の遅延時間の和が、許容範囲内であるか否かを判定するタイミング検証工程とを含むことを特徴とする。

【 0 0 4 7 】

かかる構成によれば、請求項 1 7 の効果に加えて、さらに高精度の検証を行なうことが可能となる。

【 0 0 4 8 】

本発明の第 1 9 によれば、前記解析工程は、前記電源端子のノイズ波形の入力タイミングとピーク値の少なくとも一方を変化させた時の回路素子の遅延時間の変化量を算出し、その算出結果に基づいて遅延変化量データベースを作成するデータベース作成工程を含み、前記計算工程は、前記遅延変化量データベースから、所望のノイズ波形に対する前記回路素子の遅延時間の変化量を求める工程を含むことを特徴とする。

【 0 0 4 9 】

本発明の第 2 0 によれば、前記解析工程は、前記電源端子のノイズ波形の入力タイミングとピーク値の少なくとも一方を変化させた時の回路素子の遅延時間の変化量を算出し、この算出結果を、電源ノイズがない場合の回路素子の遅延時間に対する割合として求めて遅延変化割合データベースを作成するデータベース作成工程を含み、前記計算工程は、電源ノイズがない場合の回路素子の遅延時間に

、前記遅延変化割合データベースから読み出された前記割合を掛け合わせることで所望のノイズに対する回路素子の遅延変化量を求める工程を含むことを特徴とする。

【 0 0 5 0 】

本発明の第 2 1 によれば、前記解析工程は、連続した回路素子列に対し、各回路素子の遅延時間の変化量が最大となる電源ノイズの入力タイミングでの前記連続した回路素子列の遅延変化量を、前記連続した回路素子列の最大の遅延変化量として求める工程を含むことを特徴とする。

【 0 0 5 1 】

本発明の第 2 2 によれば、前記解析工程は、電源ノイズにより回路素子の遅延時間が変化することにより、回路の動作に必要な時間内に信号が到達せず、回路動作が想定した動作とは異なる結果になってしまう回路部分を検出する工程を含むことを特徴とする。

【 0 0 5 2 】

本発明の第 2 3 によれば、さらに、検出された前記回路部分から、電源ノイズによりもっとも遅延時間に影響する回路素子を探索し、エラー素子として検出するエラー素子検出工程を含むことを特徴とする。

【 0 0 5 3 】

本発明の第 2 4 によれば、さらに前記エラー素子に対して電源ノイズ耐性強化対策を実行する強化工程を含むことを特徴とする。

【 0 0 5 4 】

本発明の第 2 5 によれば、さらに、前記エラー素子検出工程でエラー素子とされた回路素子を、電源ノイズに対して遅延変化量が小さい回路素子に置換する置換工程を含むことを特徴とする。

【 0 0 5 5 】

本発明の第 2 6 によれば、さらに、前記エラー素子検出工程でエラー素子とされた回路素子を、制約時間を満たす回路素子に置換する置換工程を含むことを特徴とする。

【 0 0 5 6 】

本発明の第 2 7 によれば、前記請求項 1 乃至 2 6 のいずれかに記載の電磁波障害解析方法を用いた解析結果にもとづき、エラーを回避したレイアウト設計を行い、半導体装置を製造する工程を含むことを特徴とする。

【 0 0 5 7 】

かかる構成によれば、半導体集積回路の各回路素子の電源端子の信号波形を求め、前記半導体集積回路の各回路素子の電源端子での電源ノイズの入力タイミング、ピーク値を求めている。また、電源ノイズの入力タイミングやピーク値を変化させた場合の回路素子の遅延時間の変化量をシミュレーションにより求めてデータベースを作成し、回路素子の電源端子でのノイズ波形と前記遅延時間変化量のデータベースから回路素子の遅延時間の変化量の計算を行うようにしてもよい。さらにまた任意の電源ノイズを与えた場合に回路素子の遅延時間が変化することにより、回路の動作に必要な時間内に信号が到達せず、回路動作が想定した動作とは異なる結果となってしまう回路部分を検出するようにしてもよい。また、任意の電源ノイズを与えた場合に回路動作が想定した動作とは異なる結果となってしまう回路部分に対し、制約時間を満たすように回路素子を変更することによりノイズの耐性を強化することも可能となる。

【 0 0 5 8 】

本発明の第 2 8 によれば、L S I の電磁波障害を解析する方法であって、電源ノイズの伝播経路において、電源ノイズにより出力結果あるいは内部状態を変えるノイズの閾値を算出しこれをライブラリに格納するライブラリ化工程と、前記ライブラリを参照しつつ、前記 L S I の全回路素子について、電源ノイズの影響を受けるか否かを解析する解析工程とを含むことを特徴とする。

【 0 0 5 9 】

かかる構成によれば、閾値をライブラリ化することにより、容易に効率良く解析を行なうことが可能となる。

【 0 0 6 0 】

本発明の第 2 9 は、前記ライブラリ化工程が、回路素子の通過可能な最小の電源ノイズの電圧あるいは電流波形のピーク、幅、形状のいずれかの関数あるいは値をライブラリに格納する工程を含むことを特徴とする。

【 0 0 6 1 】

本発明の第 3 0 は、前記ライブラリ化工程が、回路素子の端子に入力し、回路素子の端子を出力するあるいは内部状態を変更する経路のノイズの閾値を前記ライブラリに格納する工程を含むことを特徴とする。

【 0 0 6 2 】

上記第 2 9 および 3 0 の構成によれば、より高効率の解析を行なうことが可能となる。

【 0 0 6 3 】

本発明の第 3 1 は、前記解析工程が、回路素子の端子に入力し、回路素子の端子を出力するあるいは内部状態を変更する経路を解析する工程を含むことを特徴とする。

【 0 0 6 4 】

本発明の第 3 2 は、前記解析工程が、経路の情報を記録する記録工程を含むことを特徴とする。

【 0 0 6 5 】

本発明の第 3 3 は、前記記録工程が、ノイズの伝播する回路素子を記録する工程を含むことを特徴とする。

【 0 0 6 6 】

本発明の第 3 4 は、前記記録工程が、ノイズの伝播するレジスタ素子を記録する工程を含むことを特徴とする。

【 0 0 6 7 】

本発明の第 3 5 は、前記記録工程が、ノイズの伝播する回路素子を仮想的に異なるドライブ能力の回路素子に変更した際のダメージを記録する工程を含むことを特徴とする。

【 0 0 6 8 】

本発明の第 3 6 は、前記記録工程が、経路上のノイズに弱い回路素子を記録する工程を含むことを特徴とする。

【 0 0 6 9 】

本発明の第 3 7 は、前記解析工程が、電磁波解析を行う電磁波解析工程により

、前記電源ノイズを算出する工程を含むことを特徴とする。

【 0 0 7 0 】

本発明の第 3 8 は、前記解析工程が、指定された回路素子への経路上のノイズに弱い回路素子を記録する工程を含むことを特徴とする。

【 0 0 7 1 】

本発明の第 3 9 は、前記解析工程が、レジスタ素子への経路上のノイズに弱い回路素子を記録することを特徴とする。

【 0 0 7 2 】

上記第 3 1 乃至 3 9 の構成によれば、電磁波障害を生じやすい個所をより容易に検出し記録することにより、対策処理を行なう際の効率が大幅に向上する。

【 0 0 7 3 】

本発明の第 4 0 によれば、L S I の電磁波障害を解析する解析装置であって、電源ノイズの伝播経路において、電源ノイズにより出力結果あるいは内部状態を変えるノイズの閾値を格納するライブラリと、前記ライブラリを参照しつつ、前記 L S I の全回路素子について、電源ノイズの影響を受けるか否かを解析する解析手段とを含むことを特徴とする。

【 0 0 7 4 】

かかる構成によれば、閾値をライブラリ化することにより、容易に効率良く解析を行なうことが可能となる。

【 0 0 7 5 】

本発明の第 4 1 によれば、L S I の電磁波障害を解析する工程と、前記解析結果に基づいて対策を必要とするブロック又はインスタンスをソートするソート工程と、前記ソート工程で配列された順序に従って、各ブロック又はインスタンスに電源ノイズを消去するための対策処理を施す処理工程とを含むことを特徴とする。

【 0 0 7 6 】

かかる構成によれば、対策を必要とするブロック又はインスタンスがソートされるため、この順序にしたがって効率良く対策処理を施すことが可能となる。

【 0 0 7 7 】

本発明の第 4 2 によれば、さらに前記処理工程後の当該ブロック又はインスタンスの EMS 解析を行う解析工程と、前記解析工程で電源ノイズの影響が所定の値以下で有ると判断されるまで、前記処理工程および解析工程を繰り返すようにしたことを特徴とする。

【 0 0 7 8 】

かかる構成によれば、解析工程で電源ノイズの影響が所定の値以下で有ると判断されるまで、処理工程および解析工程を繰り返すようにしているため、効率良く信頼性の高い処理を行なうことが可能となる。

【 0 0 7 9 】

本発明の第 4 3 によれば、前記処理工程は、ノイズを含む電流がスイッチ素子に入るタイミングで前記スイッチ素子が高抵抗となるように遅延調整を行う遅延調整素子と、前記スイッチ素子と容量素子とで形成される RC フィルタ回路を挿入する工程であることを特徴とする。

【 0 0 8 0 】

かかる構成によれば、挿入するスイッチ素子と容量素子の調整のみで効率よくノイズ除去を行なうことが可能となる。

【 0 0 8 1 】

本発明の第 4 4 によれば、前記処理工程は、インダクタを挿入する工程であることを特徴とする。

【 0 0 8 2 】

本発明の第 4 5 によれば、前記処理工程は、電源配線長距離を調整する工程であることを特徴とする。

【 0 0 8 3 】

本発明の第 4 6 によれば、前記処理工程は、タイミングに余裕のあるセルの駆動能力を下げるようにセルランクを変更する工程であることを特徴とする。

【 0 0 8 4 】

上記構成によれば、効率よくノイズ除去を行なうことが可能となる。

【 0 0 8 5 】

本発明の第 4 7 によれば、LSI の電磁波障害を解析する解析手段と、

前記解析手段の解析結果に基づいて対策を必要とするブロック又はインスタンスをソートするソーティング手段と、前記ソーティング手段で配列された順序に従って、各ブロック又はインスタンスに電源ノイズを消去するための対策処理を施す処理手段とを含むことを特徴とする。

【 0 0 8 6 】

かかる構成によれば、対策を必要とするブロック又はインスタンスがソートされるため、この順序にしたがって効率良く対策処理を施すことが可能となる。

【 0 0 8 7 】

本発明の第 4 8 によれば、さらに前記処理装置で処理のなされた当該ブロック又はインスタンスの EMS 解析を行う解析手段とを含み、前記解析手段で電源ノイズの影響が所定の値以下で有ると判断されるまで、前記処理および解析を繰り返すようにしたことを特徴とする。

【 0 0 8 8 】

かかる構成によれば、解析手段で電源ノイズの影響が所定の値以下で有ると判断されるまで、処理および解析を繰り返すように構成されているため、効率良く信頼性の高い処理を行なうことが可能となる。また、かかる構成によれば、ノイズが伝播しないように例えばバッファを駆動能力の大きいものに置き換えた際の消費電力などの増加を検出するようにすることも可能である。

【 0 0 8 9 】

本発明の第 4 9 によれば、前記解析工程で解析されたノイズに対して弱いセルとそれらの間の経路をハイライト表示する表示工程を含むことを特徴とする。

【 0 0 9 0 】

本発明の第 5 0 によれば、メモリセルなどのレジスタセルをハイライト表示する表示工程を含むことを特徴とする。

【 0 0 9 1 】

本発明の第 5 1 によれば、前記解析工程でノイズに弱く交換すべきであると解析されたセル情報を表示する表示工程を含むことを特徴とする。

【 0 0 9 2 】

本発明の第 5 2 によれば、前記解析工程で交換すべきであると解析されたセル

情報に基づき、仮想的に変更して各セルに対してパラメータを書きなおして表示する仮想表示工程を含むことを特徴とする。

【 0 0 9 3 】

本発明の第 5 3 によれば、前記解析工程で対策が必要であると判断されたブロックまたはインスタンスをソートするソーティング工程を含むことを特徴とする。

【 0 0 9 4 】

本発明の第 5 4 によれば、前記解析工程で対策が必要であると判断されたブロックまたはインスタンスに対して行う対策をソートする対策ソート工程を含むことを特徴とする。

【 0 0 9 5 】

上記第 4 9 乃至 5 4 の構成によれば、EMS 解析およびその対策処理がなされるが、前述のプロセスを逐次表示し、どの対象に対してどの対策を行うか、またそれによりどのような変化が行われるかについて表示を行うようにすることが可能である。これにより、より効率よく対策を実行することが可能となる。

【 0 0 9 6 】

このようにして、良好な EMS 対策がなされ信頼性の高い半導体集積回路のレイアウト構造を自動的に高速で提供することが可能となる。

なお、このようにして得られたレイアウトに従って半導体集積回路装置が製造され、EMS のない極めて信頼性の高いものを得ることが可能となる。

【 0 0 9 7 】

【発明の実施の形態】

以下、本発明に係る不要輻射解析方法の実施形態について説明する。

実施形態 1

図 1 は、本実施形態におけるノイズシミュレーション方法の原理図を示したブロック図、図 3 7 は図 1 の解析部の詳細を示すブロック図、図 2 は等価回路作成手順を説明するブロック図、図 3 は実施の形態の動作を示すフローチャートである。

【 0 0 9 8 】

図1に示すように、本発明の実施形態のノイズシミュレーションを用いた解析装置は、レイアウト情報11と、インピーダンス情報抽出部12と、等価回路作成部13と、解析部14と、電源ノイズ波形データベース15により構成される。さらに、解析部14は図37に示すノイズ波形供給部371と、電源ノイズ波形計算部372と、電源ノイズ閾値ライブラリ373と、エラー箇所検出部374により構成される。

【0099】

かかる解析装置では、レイアウト情報11から、インピーダンス情報抽出部12において、半導体集積回路の外部端子につながる電源配線と、半導体集積回路内部のブロック間電源配線と半導体集積回路内部の各機能ブロック内電源配線のインピーダンス情報をそれぞれ抽出する。そして半導体集積回路外部の電源配線については電源配線の抵抗成分、容量成分、インダクタンス成分を抽出し、半導体集積回路内部のブロック間電源配線と各機能ブロック内部の電源配線については、電源配線の抵抗成分、容量成分を抽出する。

【0100】

等価回路作成部13は、インピーダンス情報抽出部12において抽出されたインピーダンス情報より、各機能ブロック内電源配線解析用回路、ブロック間電源配線解析用回路、半導体集積回路外部電源配線解析用回路を作成する。

【0101】

等価回路作成手順を図2に示す。図2(a)は、対象となる半導体集積回路のインピーダンス回路である。21は半導体集積回路、22は機能ブロックである。まず、各機能ブロックの抵抗成分、容量成分の接続情報を表したインピーダンス回路を機能ブロック内電源配線解析用回路とする(図2(b))。

【0102】

次に、各機能ブロックのインピーダンス情報を圧縮した各機能ブロックの縮退インピーダンス回路を複数の機能ブロック全てについて作成する。これにブロック間電源配線のインピーダンス情報を付加したものをブロック間電源配線解析用回路とする(図2(c))。

【0103】

さらに、ブロック間電源配線解析用回路を圧縮した縮退インピーダンス回路に半導体集積回路外部の電源配線のインピーダンス情報を付加したものを半導体集積回路外部電源配線解析用回路とする（図2(d)）。圧縮法としては例えばAWE(Asymptotic Waveform Evaluation)等の圧縮方法を用いる。なお、このようにRCを縮退させることで、それを用いた上位の階層の計算時間を短縮することが可能となる。

【0104】

解析部14は、前記各等価回路を用いて、半導体集積回路へのノイズの影響を解析する。解析部の詳細を図37を用いて説明する。ノイズ波形供給部371は、前記等価回路の電源線に入力情報として、起点ノイズ波形を供給する。次に、電源ノイズ波形計算部372で、半導体集積回路の各地点での電源波形を計算する。この計算は、半導体集積回路の外部電源配線、ブロック間電源配線、ブロック内電源配線の3段階に分けて行う。電源ノイズ閾値ライブラリ373は半導体集積回路の各地点における電源ノイズのピーク値を記憶しておく。閾値は、半導体集積回路、各機能ブロック、各機能素子、電源配線に対して定める。電源配線の閾値は隣接する信号線との距離と、並行配線長により決定する。各機能素子についてはシミュレーションによりエラー出力を引き起こす電源ノイズレベルの最小値を求め、これを閾値とする。

【0105】

また、各機能ブロックの閾値は、ブロック内の電源配線、各機能素子の閾値の中で最大のものとする。半導体集積回路の閾値は、半導体集積回路内の各機能ブロックの閾値、ブロック間電源配線の閾値の中で最大のものとする。エラー箇所検出部374は電源ノイズ閾値ライブラリ373の各地点における電源ノイズのピーク値の閾値と電源ノイズ波形を比較し、閾値を超えたところをエラーとするチェックを行う。

【0106】

電源配線の閾値と電源配線の各内部節点における波形の比較を行う際には、電源配線のモデルをT型モデルとし、その電源配線の中間の内部節点において比較を行う。

ここで、エラーと判定された箇所の電源波形は電源ノイズ波形データベース 15 に記憶しておく。

【0107】

次に、図 3 を参照して、本発明の実施の形態の動作について説明する。

ここで、半導体集積回路外部電源配線に入力するノイズののった電源波形を起点電源ノイズ波形、半導体集積回路の電源端子でのノイズののった電源波形を半導体集積回路端子部電源ノイズ波形、各機能ブロックの電源端子での電源波形をブロック端子部電源ノイズ波形とする。

【0108】

まず、ステップ 31 で半導体集積回路外部電源配線解析用回路の電源線に入力として起点電源ノイズ波形を与え、半導体集積回路外部電源配線の電源ノイズ解析を行い、半導体集積回路端子部電源ノイズ波形を求める。

【0109】

そして、ステップ 32 で前記端子部電源ノイズ波形と半導体集積回路に対して設けた電源ノイズのピークの閾値との比較を行う。

前記判断ステップ 32 で、端子部電源ノイズ波形が閾値を超えると判断された場合は、ステップ 33 に進み半導体集積回路内ブロック間電源配線の解析を行う。

【0110】

前記解析ステップ 33 では、ブロック間電源配線解析用回路に前記端子部電源ノイズ波形を入力し、ブロック間電源配線の各内部節点での電源ノイズ波形および各機能ブロック端子部電源ノイズ波形を求める。

【0111】

そしてステップ 34 で求められた電源ノイズ波形をブロック間電源配線の各ノードに対して設けた電源ノイズのピークの閾値と比較する。

【0112】

前記ステップ 34 で閾値を超えると判断された場合はエラーとする。そして必要に応じて、当該箇所はノイズ伝播箇所であるとして表示を行う。また、ステップ 35 で各機能ブロックに対して設けた電源ノイズのピークの閾値と各機能プロ

ックの端子部電源ノイズ波形との比較を行う。

【0113】

この判断ステップ35で、ブロック端子部電源ノイズ波形が閾値を超える場合は、ステップ36に進み、機能ブロック内電源配線解析用回路にブロック端子部電源ノイズ波形を入力し、ブロック内電源配線の各接点での電源ノイズ波形および各機能素子の電源供給口の電源ノイズ波形を求める。

【0114】

ステップ37でブロック内電源配線に対して設けた電源ノイズのピークの閾値と電源ノイズ波形を比較し、閾値を超える場合はエラーとする。そして必要に応じて当該箇所はノイズ伝播箇所であるとして表示を行う。

【0115】

また、ステップ38で各機能素子に対して設けた電源ノイズのピークの閾値と各機能素子の電源供給口の電源ノイズ波形を比較し、閾値を超える場合はエラーとする。そして必要に応じて当該箇所はノイズ伝播箇所であるとして表示を行う。

【0116】

以上の解析によりエラーと判定された地点が、外部から電源線に入ったノイズが減衰せずに伝播するところであり、EMSに対して弱い箇所である。

【0117】

なお、半導体集積回路への電源端子が複数ある場合はワーストケースとして、各電源供給口から入った電源ノイズが同じタイミングで半導体集積回路の各地点に伝播した場合を考える。つまり、電源毎に前記手法で半導体集積回路の各地点でのノイズ波形を求め、それを合計する。

【0118】

また、半導体集積回路内が階層化されておらず、フラットな設計の場合は、半導体集積回路内部の電源配線シミュレーションモデルと半導体集積回路外部の電源配線シミュレーションモデルの2つのモデルを構成し、半導体集積回路外部と内部にわけて階層的にシミュレーションを行い、同様にエラー箇所の特定を行う。

【0119】

本実施形態によれば、半導体集積回路の電源配線に外部からノイズが入ったときに影響を受けやすい箇所を設計段階で特定することができるため、半導体集積回路製造前に対策を行い、ノイズ耐性を上げることができる。対策についてはスイッチ回路の挿入、インダクタの挿入、電源配線長の短縮、セルランクの変更など種々の対策があるがこれらについては後述する。

【0120】

また、エラー表示についても適宜選択可能であるが、詳細は後述する。

【0121】

実施形態2

以下、本発明の第2の実施の形態について、図を参照しつつ説明する。

本発明の第2の実施形態の回路動作検証方法は、図4に原理図を示すように、レイアウト情報から抽出されたインピーダンス情報41と、前記インピーダンス情報に入力される電源ノイズ波形から半導体集積回路の各地点での電源ノイズ波形を計算する電源波形計算部42と、電源ノイズの入力タイミングやピーク値を変化させた場合の回路素子の遅延時間の変化量をシミュレーションにより求めてデータベースを作成する遅延変化量データベース作成部46と、前記電源波形計算部で作成された回路素子の電源端子でのノイズ波形と前記遅延時間変化量のデータベース47から回路動作を検証する回路動作検証部48とから構成されている。この回路動作検証部48は回路素子の電源端子でのノイズ波形から遅延時間を計算する遅延計算部43と、この計算された遅延時間と、前記遅延時間変化量のデータベース47とから、任意の電源ノイズを与えた場合に回路素子の遅延時間が変化することにより、回路の動作に必要な時間内に信号が到達せず、回路動作が想定した動作とは異なる結果となってしまう回路部分を検出するエラー検出部44と、任意の電源ノイズを与えた場合に回路動作が想定した動作とは異なる結果となってしまう回路部分に対し、制約時間を満たすように回路素子を変更する回路修正部45とから構成されており、この修正によりノイズ耐性を強化された半導体集積回路を提供するものである。

【0122】

すなわち、電源配線のインピーダンス情報 4 1 と電源端子に入力された電源ノイズ波形から各回路素子での電源波形を求める電源波形計算部 4 2 と各回路素子の遅延時間が変化することにより、回路の動作に必要な時間内に信号が到達せず、回路動作が想定した動作とは異なる結果となってしまう回路部分を検出する回路動作検証部 4 8 と電源ノイズによる回路素子の遅延の変化量を記述した遅延変化量データベース 4 7 を作成する遅延変化量データベース作成部 4 6 とを備えた構造をとることを特徴とする。

【 0 1 2 3 】

そして、前記回路動作検証部 4 8 は回路素子の電源端子でのノイズ波形と遅延時間変化量のデータベース 4 7 から回路素子の遅延の変化量の計算を行ないノイズを考慮した遅延値を計算する遅延計算部 4 3 と回路素子の遅延時間が変化することにより、回路の動作に必要な時間内に信号が到達せず、回路動作が想定した動作とは異なる結果となってしまう回路部分を検出するエラー箇所検出部 4 4 とエラー箇所に対し電源ノイズ強化を行う回路修正部 4 5 から構成される。

【 0 1 2 4 】

図 5 は本発明の実施の形態における回路動作検証方法のフロー図である。今後、ある特定の機能を持った回路素子をセル、連続した回路素子列をパスとして説明する。図 5 においてまず、半導体集積回路の電源配線に入力する電源ノイズ波形を設定し (s t e p 1 : ステップ 1)、次に電源波形計算部 4 2 にてインピーダンス情報 4 1 および入力された電源ノイズ波形から各回路素子での電源波形を求める (s t e p 2 : ステップ 2)。また遅延変化量データベース作成部 4 6 にてセル毎にピーク値および入力信号の変化時間に対する電源ノイズの入力タイミングを変えた場合の遅延値を計算して遅延変化量データベース 4 7 を作成しておく (s t e p 6 : ステップ 6)。

【 0 1 2 5 】

次に電源ノイズによる遅延変化量を求めるパスを選択する (s t e p 3 : ステップ 3)。パスの選択は電源ノイズがない場合のパスの遅延値に電源ノイズによる各セルでの最大の遅延変化量を合計した遅延値が制約時間を越えるパスに対して遅延変化量を計算することでパスを絞り込むことができる。

【0126】

そして選択したパスに対し電源ノイズの入力タイミングを変化させた場合のパスの遅延時間を遅延計算部43にて計算を行う。遅延計算部43ではまず電源ノイズがない場合のパスの遅延値T1を計算し(step4:ステップ4)、電源ノイズの初期の入力タイミングTnを設定し(step5:ステップ5)、そのパスの電源ノイズによる遅延変化量T2を計算し(step7:ステップ7)、T1とT2を合計することで電源ノイズを考慮したパスの遅延値T3を求める(step8:ステップ8)。

【0127】

次にそのパス遅延が制約時間を満たしているか否かの判定を行ない(step9:ステップ9)、そのパス遅延が制約時間を越えていた場合は、エラー箇所検出部44にてそのパスで電源ノイズによる遅延の変化量がもっとも大きいセルを検出する(step10:ステップ10)。パス遅延が制約時間内であった場合は電源ノイズの入力タイミングをあるステップ幅で変化させて、ステップ5からステップ11を繰り返し、与えた電源ノイズの入力タイミングにおいてパスの遅延値が制約時間を満たす場合はそのパスは電源ノイズに対して問題なしとする。

【0128】

そしてすべてのパスに対し:ステップ3から:ステップ12を繰り返す。

【0129】

電源ノイズによるパスの最大変化量を求める方法として、遅延変化量のデータベースから各セルの最大変化量を求め、その中でもっとも変化量大きい電源ノイズの入力タイミングを求め、その入力タイミングでのパスの遅延変化量を最大の遅延変化量とすることでパスの遅延変化量の計算を一回で行うことができる。

【0130】

図6は遅延変化量計算部43のフロー図であり、図6においてまず選択されたパスからセルを選択し(step13:ステップ13)、そのセルの入力信号変化に対する電源ノイズの入力タイミングを計算し(step14:ステップ14)、そのセルでの電源ノイズのピーク値および電源ノイズの入力タイミングより遅延変化量データベース47を用いて遅延の変化量を計算する(step15:ステ

ップ15)。

【0131】

そしてそのパスでのすべてのセルの遅延変化量が計算されるまでステップ13からステップ16を繰り返す。

【0132】

次に電源ノイズによる遅延変化量の計算方法について説明する。まず遅延変化量データベース作成部46にてセル毎にピーク値および入力信号の変化時間に対する電源ノイズの入力タイミングを変えた場合の遅延時間を求め、遅延変化量データベースを作成する。図8は遅延変化量データベースの内容について示したものであり、セル名、ピーク値、電源ノイズの入力タイミング毎の遅延変化量の3つの要素からなっている。セル遅延の変化量を計算する際にはセル名、ピーク値、電源ノイズの入力タイミングから遅延変化量データベースを参照して遅延時間の変化量を求める。また遅延変化量を、電源ノイズを入力しない場合の遅延時間に対する変化の割合として遅延時間の変化量を100分率で求めて遅延変化割合データベースを作成し、電源ノイズを考慮しない場合の遅延値にその割合を掛け合わせた値を遅延変化量として求めてもよい。またデータベースではピーク値および電源ノイズの入力タイミングはあるstep幅でデータとして持つが、遅延変化量を計算する際にピーク値、入力タイミングがデータにない場合はデータを近似して遅延変化量の計算を行う。

【0133】

図7はエラー箇所検出部44のフロー図であり、図7においてまずパスから電源ノイズによるセル遅延値の変化量がもっとも大きいセルを選択し(step17:ステップ17)、そのセルが同じ種類のセルでノイズによる遅延変化量の小さいセルに置き換えが可能か否かの判定を行う(step18:ステップ18)。

【0134】

そして、置き換えが可能ならば遅延変化量の小さいセルに置き換えを行う(step20:ステップ20)。一方、置き換えができない場合は、セルタイプの変更により制約時間を満たすことができるかどうか判定を行ない(step19:ステップ19)、変更により制約時間を満たせるならばセルタイプを変更する(

step 21 : ステップ 2.1)。

【0135】

このように本実施形態によれば、電源ノイズが半導体集積装置に入力された場合の各回路素子での遅延時間の変化を求めることができ、それにより遅延時間が変化したことにより回路動作が想定した動作とは異なる結果となる回路素子を検出することができる。そしてさらに、その回路素子にノイズに対する耐性強化を行うことで、電源ノイズに対する耐性を強化することができる。

【0136】

このようにして半導体集積回路を製品化する前に電源ノイズに対する耐性をシミュレーションで評価し、対策を行うことができるため、設計期間の短縮や開発費の削減、設計完成度の向上を行うことができる。

【0137】

実施形態 3

本発明の第 3 の実施形態として、LSI 901 の電磁波障害を解析するに際し、図 9 (a) に示すような電磁放射 (radiation) 902 による直接 EMS と電源 903 からの間接 EMS とを考慮し、ノイズの侵入に対して LSI 901 のどの部分が弱く修正すべき点がどこにあるかを解析し、LSI の耐ノイズ性を向上する方法について説明する。

【0138】

この方法では図 10 に示すように、電源ノイズの伝播経路において、電源ノイズにより LSI の出力結果あるいは内部状態を変えるノイズの閾値を算出しこれをライブラリ化することにより電源ノイズ閾値ライブラリ 1001 を形成しておき、この電源ノイズ閾値ライブラリ 1001 を参照しつつ静的電源ノイズ解析手段 1002 で、前記 LSI の全回路素子について、電源ノイズの影響を受けるか否かを解析し、電源ノイズ解析結果 1003 として出力するものである。かかる構成によれば静的かつ網羅的に LSI 中の全回路素子について回路を解析することができ、テストベクタを不要とし、全ての回路チェックが可能となる。そしてさらに、解析時間の短縮も可能となる。

【0139】

次に、電源ノイズ閾値ライブラリについて説明する。電源ノイズ閾値ライブラリとしては、通過するか否かの閾値を関数としてあるいは値そのものとしてもつようにする。そして更に、望ましくは通過するか否か以外に静電破壊されるかどうかという情報を持たせるようにする。

【0140】

この電源ノイズ閾値ライブラリの詳細を図11(a)乃至(c)に示す。図11(a)又は(b)に示すように、この通過するか否かの閾値は、各回路素子(容量素子や論理ゲートおよびレジスタ素子を含む)に入り込むノイズの電流あるいは電圧のピーク値、ノイズの幅、ノイズの形状のいずれかもしくは2つ以上の組み合わせとする。

【0141】

そして種々のデータに対するライブラリを作成する。このライブラリはまた、各回路素子における入力側の電源の抵抗、入力側の抵抗容量、出力側の抵抗、出力側の容量、および入力側に回路素子がある場合は入力側の駆動能力のうち、1つ以上のパラメータの関数であってもよい。

【0142】

また、通過する経路は図11(c)に示すように、電源線(VDD, VSS)から回路素子の電源端子を経由して回路素子の出力端子への経路(R1、R6)、電源(VDD, VSS)からレジスタ素子(FF, メモリなど)の電源端子を経由してレジスタ素子の内部状態への経路(R2)、回路素子の入力端子から出力端子への経路(R3)、レジスタ素子の入力端子からレジスタ素子の内部状態への経路(R4)、電源線から容量素子などを経由して信号線への経路(R5, R7)、以上5つの経路の少なくとも一つ以上の情報として持たせるようにする。

【0143】

次に実際の解析処理について説明する。図12は解析処理の基本のフローチャートである。

まず図12に示すように、使用者指定の電源ネット上のノイズ波形の読み込みを行う(ステップ1201)。

【0144】

次に電源ネットを起点とし（ステップ1202）、各経路について処理が終わったか否かを判断し、全ての経路について処理が終わるまで繰り返し実行する（ステップ1203）。

【0145】

また、前記経路上の全ての回路素子について処理するまで繰り返し（ステップ1204）、次の伝播先側の回路素子でのノイズ通過可能性をライブラリに基づき計算する（ステップ1205）。

【0146】

そして、伝播先側の回路素子でのノイズ通過可能性を判断し（ステップ1206）、ノイズが通過して伝播すると判断された場合は前記伝播先側の回路素子の出力でのノイズ波形をライブラリの通過波形に基づき計算する（ステップ1207）。

【0147】

前記判断ステップ1204で前記経路上の全ての回路素子について処理が終了していないと判断された場合は、再度ステップ1205に戻り、前記経路上の全ての回路素子について処理を行うまで繰り返す。

【0148】

判断ステップ1206で伝播しないと判断された場合、もしくは判断ステップ1204で前記経路上の全ての回路素子について処理が終了したと判断された場合には、ステップ1203に戻り全ての経路について処理するまで繰り返す。

【0149】

このようにして、電源ノイズの全ての伝播経路において、電源ノイズにより出力結果あるいは内部状態を変えるノイズの閾値を格納するライブラリを参照しつつ、LSIの全回路素子について、電源ノイズの影響を受けるか否かを解析するようにしているため、確実に信頼性の高いEMS解析を行うことが可能となる。

【0150】

なお、この図12に示したフローチャートを基本フローチャートとして、種々の変形が可能である。

【0151】

変形例1

図13は、この図12の基本フローチャートの変形例である。図12に示した基本フローチャートの判断ステップ1206と、伝播先でのノイズ波形を計算する計算ステップ1207との間に、記録ステップ1301を挿入することで、判断ステップ1206に基づき、伝播すると判断されたときには、伝播経路の情報を記録するようにしている。

【0152】

図14は、記録ステップ1301の第1の例である。ステップ13011において、伝播経路の情報として伝播先側の回路素子の情報を記録する（あるいはフラグを立てる）ようにしている。

図15は、記録ステップ1301の第2の例である。ステップ13012において、伝播先側の回路素子がレジスタ素子や非同期回路であれば、伝播経路の情報として伝播先側の回路素子の情報を記録する（あるいはフラグを立てる）ようにしている。すなわち、LSIの出力結果が期待値と異なるようになる致命的な部分であるか否かを判断し、そのような回路素子のみを記録する（あるいはフラグを立てる）ようにしている。

【0153】

図16は、記録ステップ1301の第3の例である。まず、伝播先側の回路素子を、置換前よりもドライブ能力の高い回路素子のうち、仮想置換処理を行っていない最小のドライブ能力の回路素子と仮想的に置き換える（ステップ130131）。次に仮想的に置き換えた回路素子でのノイズ通過可能性をライブラリに基づき計算する（ステップ130132）。仮想的に置き換えたセルでノイズが伝播するかどうかを判断し（ステップ130133）、ノイズが伝播しないようであれば、当初の回路素子に対する仮想的に置き換えた回路素子によるダメージ（消費電力もしくはタイミングの差分）を記録する（ステップ130134）。判断ステップ130133でノイズが伝播すると判断された場合には、ステップ130131に戻り、置換する回路素子が無くなるまで繰り返す。

【0154】

かかる構成によれば、ノイズが伝播しないように例えばバッファを駆動能力の大きいものに置き換えた際の消費電力などの増加を検出することも可能である。

【0155】

変形例 2

図 1 7 は、この図 1 2 の基本フローチャートの第 2 の変形例である。図 1 2 に示した基本フローチャートの判断ステップ 1 2 0 6 と、伝播先でのノイズ波形を計算する計算ステップ 1 2 0 7 との間に、条件付き記録ステップ 1 7 0 1 を挿入し、判断ステップ 1 2 0 6 でノイズが伝播されると判断された場合には、ライブラリに基づき通過可能な最小のノイズ波形を計算し、前記回路素子の入力でのノイズ波形との差分を記録する。

【0156】

また、図 1 2 に示した基本フローチャートの判断ステップ 1 2 0 4 および 1 2 0 6 と、判断ステップ 1 2 0 3 との間に、記録ステップ 1 7 0 2 を挿入し、記録ステップ 1 7 0 1 で記録された差分情報に基づき、経路上の最小の差分を持つ回路素子を記録することで、伝播したノイズ波形と通過可否の閾値のノイズ波形の差分を記録し、交換セルを特定するようにしている。

【0157】

かかる構成によれば、ノイズの大きなセルをノイズの小さなセルに置き換えるようにしているため、確実に信頼性の高い製品を得ることが可能となる。

【0158】

変形例 3

図 1 8 は、この図 1 2 の基本フローチャートの第 3 の変形例である。図 1 2 に示した基本フローチャートの使用者指定の電源ネット上のノイズ波形読みこみを行うステップ 1 2 0 1 の直前に、電磁波の強度と電源のインピーダンス（抵抗・容量・インダクタンス）から電磁界解析を行い電源ネットに発生するノイズ波形を計算する計算ステップ 1 8 0 1 を加えたことを特徴とする。

【0159】

実施形態 4

本発明の第 4 の実施形態として、第 3 の実施形態とは逆に、伝播先の回路素子

から逆にたどり、伝播先に到達する最小のノイズ量とその伝播を押さえるのに最も有効な回路素子を検出する方法について説明する。

【0160】

図19は解析処理のフローチャートである。

まず図19に示すように、使用者指定の部分を起点とする（ステップ1901）。

【0161】

次に、電源までの全ての逆方向の各経路について処理が終わったか否かを判断し、全ての経路について処理が終わるまで繰り返し実行する（ステップ1902）。

【0162】

次に、経路上の一番伝播先側の回路素子のライブラリの情報から起点に伝播しうる前記回路素子の入力における最小のノイズ波形を計算する（ステップ1903）。

【0163】

さらに、前記起点の回路素子を除く経路上の全ての各回路素子について処理が終わったか否かを判断し、全ての経路について処理が終わるまで繰り返し実行する（ステップ1904）。

【0164】

次に、伝播先から計算されたノイズ波形の前記伝播先側の回路素子でのノイズ通過可能性をライブラリに基づき計算する（ステップ1905）。

【0165】

伝播先での通過可能性を判断し（ステップ1906）、通過して伝播すると判断された場合は、伝播先から計算されたノイズ波形が前記伝播元側の回路素子を経て伝播される際の入力がわのノイズ波形をライブラリから逆算し（ステップ1907）、ステップ1904に戻り全ての伝播元について処理するまで繰り返す。

【0166】

一方ステップ1904で全ての経路について処理がされた場合あるいはステッ

ブ 1 9 0 6 で伝播しないと判断された場合は再度ステップ 1 9 0 2 に戻り、電源までの全ての経路について処理するまで繰り返し処理を行う。

【 0 1 6 7 】

このようにして、最大通過ノイズを計算することができる。

【 0 1 6 8 】

実施形態 5

図 2 0 は、この図 1 9 のフローチャートの変形例である。図 1 9 に示したフローチャートの起点指定ステップ 1 9 0 1 の代わりに、繰り返しステップ 2 0 0 1 を用いることで、全てのレジスタ素子を起点として図 1 9 のフローチャートを繰り返し処理するようにしている。

【 0 1 6 9 】

実施形態 6

次に、上記解析方法を用いて解析を行なった後の処理について説明する。

図 2 1 は処理フローを示す図である。この処理では、L S I の電磁波障害を解析するステップ 2 1 0 1 と、この解析結果 2 1 0 2 に基づいて対策を必要とするブロック又はインスタンスをソートするソートステップ 2 1 0 3 と、順次伝搬経路を検出し対策対象ブロックを取り出す（ステップ 2 1 0 4）、前記ソート工程で配列された順序に従って、各ブロック又はインスタンスに電源ノイズを消去するための対策処理を施す第 1 乃至第 4 の対策ステップ 2 1 0 5 から 2 1 0 8 と、この対策処理のなされたブロック又はインダクタンスに対して E M S 解析を行ない、ノイズ対策が実行されたかどうかを解析する解析ステップ 2 1 0 9 と、前記解析ステップで電源ノイズの影響が所定の値以下で有ると判断されるまで、処理ステップおよび解析ステップを繰り返すようにしたことを特徴とする。

【 0 1 7 0 】

ここで問題とするノイズは図 2 2 にその伝搬経路の説明図を示すように、電源パッド P を介してさらに外部電源から内部電源に入り込むノイズ A および B と、電源と信号線によるクロストークによるノイズ C と、電源変動がセルを通して信号線に乗るノイズ D とである。

【 0 1 7 1 】

このような各伝搬経路をとるノイズそれぞれに対して順次第1乃至第4の対策ステップ2105～2109を実行する。

【0172】

まず、図21に示した、解析結果2102に基いて、ステップ2103において、対策が必要なブロックをソートし、順次伝搬経路が前述の内のいずれであるか否かを判断し、外部電源から内部電源に入り込むノイズAおよびB（図22参照）である場合は夫々第1の対策としてスイッチング素子を挿入する第1の対策ステップ（2105）およびインダクタを挿入する第2の対策ステップ（2106）が実行される。

【0173】

まず、第1の対策ステップでは図23にフローチャート、図24にスイッチ回路を示すようにノイズ電流がスイッチ素子に入るタイミングでスイッチがOFF（高抵抗）になるように、遅延調整素子で制御するものである。ここではスイッチ素子と容量素子でRCフィルタが形成されノイズ成分をフィルタリングすることができるようになっている。

【0174】

このスイッチ回路は図24に等価回路を示すように外部電源241から、ノイズ電流242が内部電源247に入力されるに際し、この間にカット信号生成素子244と入力信号の遅延時間を調整する遅延調整素子243とこの遅延信号調整素子で遅延されたノイズ電流をカット信号生成素子244で生成されたカット信号でスイッチ素子245が高抵抗となるようにし、この高抵抗と容量246とでRCフィルタを形成し、所定の周波数のノイズをカットするようにしたものである。

【0175】

なお、このスイッチ回路の変形例として図25に等価回路を示すように、カット信号生成素子244と入力信号の遅延時間を調整する遅延調整素子243とについては、省略してもよく、この場合もタイミングは少しずれるが基本的にはノイズ信号をカットすることが可能となる。

【0176】

第1の対策ステップは図23に示すようにステップ2104で対象ブロックを抽出し、得られた対象ブロックの解析結果2301からスイッチを挿入する個所を決定する(ステップ2302)。

【0177】

この後前記ステップ2302の決定に従い電源ラインにスイッチを挿入し(ステップ2303)、再度EMS解析処理2304を行う。

そしてこのEMS解析処理ステップ2304で、ノイズ対策が達成されたか否かを解析する(ステップ2305)。

【0178】

このようにして第1の対策が施されてもノイズ除去がなされていない場合、再度ステップ2302に戻り第1の対策を繰り返すようにしてもよいが、第2の対策処理に移行してもよい。

【0179】

次に第2の対策としてLCフィルタの挿入について説明する。

まず、前記第1の対策処理におけるEMS解析ステップでノイズがまだ存在すると判断され、かつ第2の対策処理に移行すると判断されたとき、図26に示すようにLCフィルタ挿入処理に入る。

【0180】

まず、EMS解析ステップ2305で得られた解析結果2601に基いて、図27に示すような、電源パッド271と内部電源との間で、電源配線を変更し、電源分離を行う工程および、図28に示すように電源パッド271と内部電源との間にLCフィルタを挿入する工程とを順次実行する。どのように電源分離するかは、EMS解析結果から判断し、外部ノイズに弱い箇所、すなわちEMS対策が必要な箇所と、外部ノイズに強い箇所、すなわちEMS対策の必要がない箇所に分ける。本実施例では、図27に示すようにクロック系あるいはデータパス系の電源ラインを切り分けることで大きな面積を必要とするLCフィルタを必要個所に限定配置するもので、かかる構成によればEMS対策による面積の過剰な増大を抑制しつつ、LCフィルタを必要個所に限定配置することが可能となる。

【0181】

また図28に示すようにこのようにして切り分けられた電源ラインにインダクタ272と容量273とからなるLCフィルタを挿入するものである。

【0182】

次にこの第2の対策を行う場合の実際の処理工程について説明する。

第2の対策ステップは図26に示すように第1の対策ステップのEMS解析ステップ2304の解析結果から対象ブロックを抽出し、得られた対象ブロックの解析結果2601から電源配線を変更する個所を決定する（ステップ2602）

【0183】

この後前記ステップ2602の決定に従い当該個所の電源配線を変更し、電源分離をする（2603）。

そして電源分離した個所にインダクタおよび容量を挿入しLCフィルタを構成する（ステップ2604）。

【0184】

そして、再度EMS解析処理ステップ2605を行う。

そしてこのEMS解析処理ステップ2605で、ノイズ対策が達成されたか否かを解析する（ステップ2606）。

ノイズ対策が達成されていると判断された場合は終了である。

【0185】

一方達成されていない場合はステップ2602に戻り再度電源配線を変更する個所を決定する工程から、一連の処理工程を繰り返し続行する。

【0186】

あるいはまた、第3の対策として電源配線長を短縮する工程を実行する。

【0187】

この工程は図29にフローチャートを示すように、第2の対策ステップのEMS解析ステップ2605の解析結果から対象セルおよび対象ブロックを抽出し、得られた対象ブロックの解析結果2901および2902として対象セルの解析結果としての瞬時電流量情報および対象ブロックの解析結果としての瞬時電流量情報を得、この結果に基づいて、電源配線長を変更する個所を決定する（ステッ

ブ2903)。

【0188】

この後前記ステップ2903の決定に従い当該個所の電源配線長を短く変更する(2904)。

そして、再度EMS解析処理2905を行う。

【0189】

そしてこのEMS解析処理ステップ2905で、ノイズ対策が達成されたか否かを解析する。

【0190】

この解析処理ステップでノイズ対策が達成されていると判断された場合は終了である。

【0191】

一方達成されていない場合はステップ2903に戻り再度電源配線長を変更する個所を決定する工程から、一連の処理工程を繰り返し続行する。

【0192】

あるいはまた、第4の対策として図30に示すようにセルランクの変更処理を行う工程を実行する。

【0193】

この工程は図30にフローチャートを示すように、第3の対策ステップのEMS解析ステップ2905の解析結果から対象インスタンスを抽出し、得られた対象インスタンスの解析結果3001に基いて、タイミングに余裕があるセルの駆動能力を下げるべくセルランクの変更を行う(ステップ3002)。そしてこの変更後の対象インスタンスについて、再度EMS解析処理3003を行う。

【0194】

そしてこのEMS解析処理ステップ3003で、ノイズ対策が達成されたか否かを解析する。

【0195】

このEMS解析処理ステップでノイズ対策が達成されていると判断された場合は終了である。

【0196】

一方達成されていない場合はステップ3002に戻り再度セルランクの変更処理をから、一連の処理工程を繰り返し続行する。

【0197】

このようにして、良好なEMS対策がなされ信頼性の高い半導体集積回路のレイアウト構造が自動的に高速で提供される。

【0198】

なお、このようにして得られたレイアウトに従って半導体集積回路装置が製造され、EMSのない極めて信頼性の高いものを得ることが可能となる。

【0199】

このようにして、EMS解析およびその対策処理がなされるが、前述のプロセスを逐次表示し、どの対象に対してどの対策を行うか、またそれによりどのような変化が行われるかについて表示を行うようにすることも可能である。これにより、より効率よく対策を実行することが可能となる。

【0200】

表示方法としては図31にハッチングで示すように、ノイズの問題が発生する部分をハイライト表示するとともに、その伝搬経路を太線で表示するようにすれば、表示も対策も良好に行うことが可能である。

【0201】

また、図32に示すように、セルCをクリックするとそのセルに伝搬する経路上のノイズに対して最も弱いセルのセル名を表示するとともに、セルをハイライト表示するようにしてもよい。

【0202】

さらにまた、図33に示すように経路をクリックするとその経路上のノイズに対して最も弱いセルのセルのセル名を表示するとともに、セルをハイライト表示するようにすることも可能である。

【0203】

また、図34に示すように、ノイズに弱いセルに対してバッファの交換などを仮想的に行う場合、単に強い大きなバッファに交換すると消費電力があがってし

まうという問題がある。そこで最小限の変更で論理上矛盾の生じない変更を図 3 1 にパラメータ表示およびセル名表示として提案するようにすることも可能である。

【0204】

そしてこのようにして仮想的に変更した後、再度各トランジスタ、またはセルに対してノイズ推定を行う。その結果の消費電力情報などをレポートする。これにより、何度かのプロセスを経て容易に最良のレイアウトを得ることが可能となる。この方法はクロックツリーやレジスタセルが多く存在する回路に対して特に効果大きい。

【0205】

【発明の効果】

以上説明したように、第 1 に、本発明によれば、半導体集積回路の電源配線に外部からノイズが入ったときに影響を受けやすい箇所を設計段階で特定することができるため、半導体集積回路製造前に対策を行い、ノイズ耐性を向上することができる。

【0206】

また、第 2 に、本発明によれば、電源ノイズが半導体集積装置に入力された場合の各回路素子での遅延時間の変化を求めることができ、それにより遅延時間が変化したことにより回路動作が想定した動作とは異なる結果となる回路素子を検出することができ、その回路素子にノイズに対する耐性強化を行うことで、電源ノイズに対する耐性を強化することができる。このため半導体集積回路を製品化する前に電源ノイズに対する耐性をシミュレーションで評価し、対策を行うことができるため、設計期間の短縮や開発費の削減、設計完成度の向上を行うことができる。

【0207】

また第 3 に、本発明によれば、対策に必要なブロック又はインスタンスをソートし、対策の対象を選定した上で、順次種々の対策を実行し、解析を行うようにしているため、短時間に的確で信頼性の高いノイズ対策処理を行うことが可能となる。

【 0 2 0 8 】

また第4に、本発明によれば、電源にかかわるノイズ伝搬の閾値ライブラリを持たせることにより、高速にノイズの影響個所を判断することが可能となる。またレジスタ素子のようなEMSノイズによる回路誤動作に通じる部品に着目し、解析を行うことにより、対策すべき部品を限定することができる。

さらにまた伝搬するノイズ量と閾値の差を分析したり、仮想的な部品交換による影響を判断することで、EMSノイズ対策を行った際の消費電力やタイミングに与えるダメージを抑えることができる。

【 0 2 0 9 】

またノイズに対して弱いセルとそれらの間の経路をハイライト表示するなど、適宜表示しつつ処理を続行するようにしているため、容易に効率よくノイズ対策を実行することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の構成を示すブロック図である。

【図2】シミュレーションモデル作成手順を示す図である。

【図3】本発明の実施の形態の動作を示すフローチャートである。

【図4】原理図

【図5】本発明の実施の形態における回路動作検証方法のフロー図

【図6】遅延変化量計算部43のフロー図

【図7】エラー箇所検出部44のフロー図

【図8】遅延データベースの内容を示す図

【図9】本発明の実施形態を示す図

【図10】本発明の実施形態を示す図

【図11】本発明の実施形態を示す図

【図12】本発明の実施形態を示す図

【図13】本発明の実施形態を示す図

【図14】本発明の実施形態を示す図

【図15】本発明の実施形態を示す図

【図16】本発明の実施形態を示す図

【図 1 7】 本発明の実施形態を示す図

【図 1 8】 本発明の実施形態を示す図

【図 1 9】 本発明の実施形態を示す図

【図 2 0】 本発明の実施形態を示す図

【図 2 1】 本発明の実施形態を示す図

【図 2 2】 本発明の実施形態を示す図

【図 2 3】 本発明の実施形態を示す図

【図 2 4】 本発明の実施形態を示す図

【図 2 5】 本発明の実施形態を示す図

【図 2 6】 本発明の実施形態を示す図

【図 2 7】 本発明の実施形態を示す図

【図 2 8】 本発明の実施形態を示す図

【図 2 9】 本発明の実施形態を示す図

【図 3 0】 本発明の実施形態を示す図

【図 3 1】 本発明の実施形態を示す図

【図 3 2】 本発明の実施形態を示す図

【図 3 3】 本発明の実施形態を示す図

【図 3 4】 本発明の実施形態を示す図

【図 3 5】 従来例の EMS 解析方法を示す図

【図 3 6】 従来例の EMS 解析方法を示す図

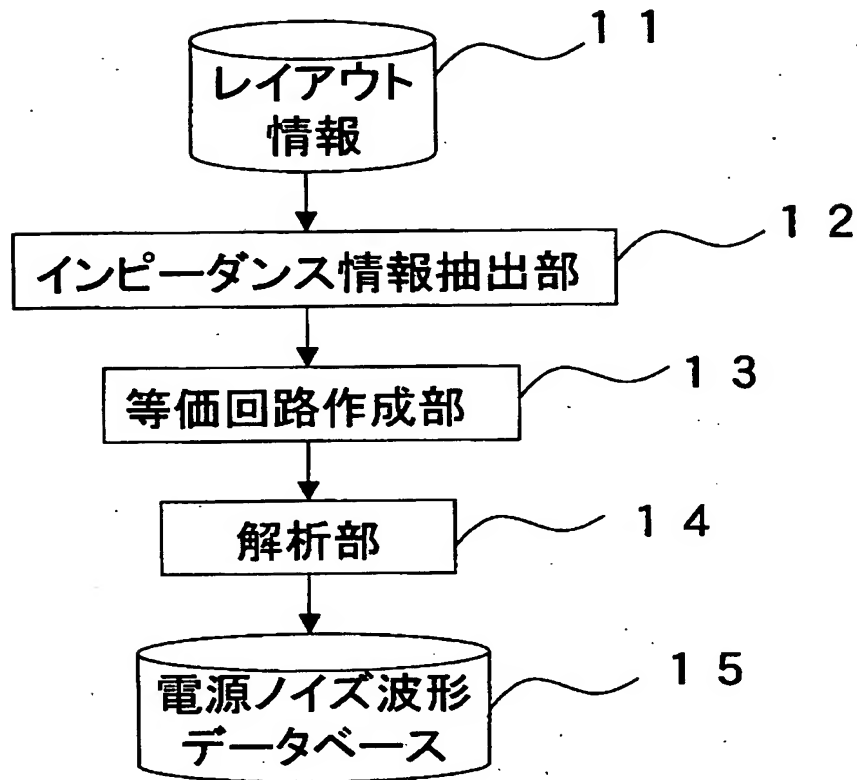
【図 3 7】 本発明の実施形態を示す図

【符号の簡単な説明】

- 1 1 レイアウト情報
- 1 2 インピーダンス情報抽出部
- 1 3 等価回路作成部
- 1 4 解析部
- 1 5 電源ノイズ波形データベース
- 2 1 半導体集積回路
- 2 2 機能ブロック

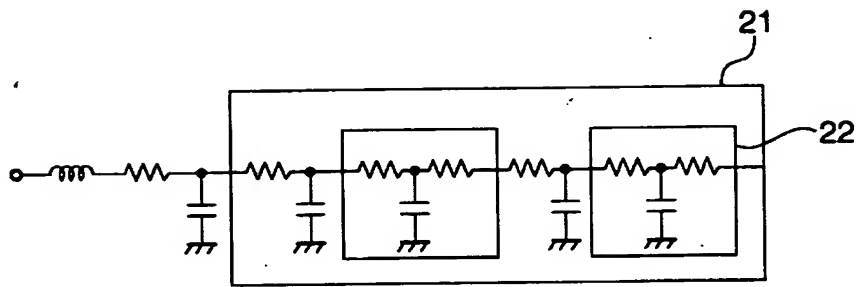
【書類名】 図面

【図1】

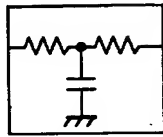


【図 2】

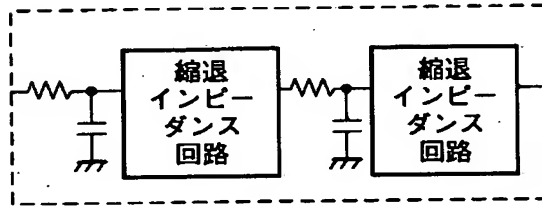
(a)



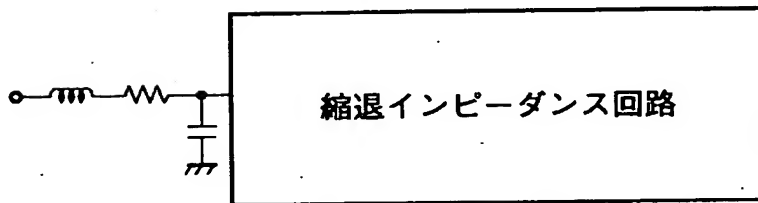
(b)



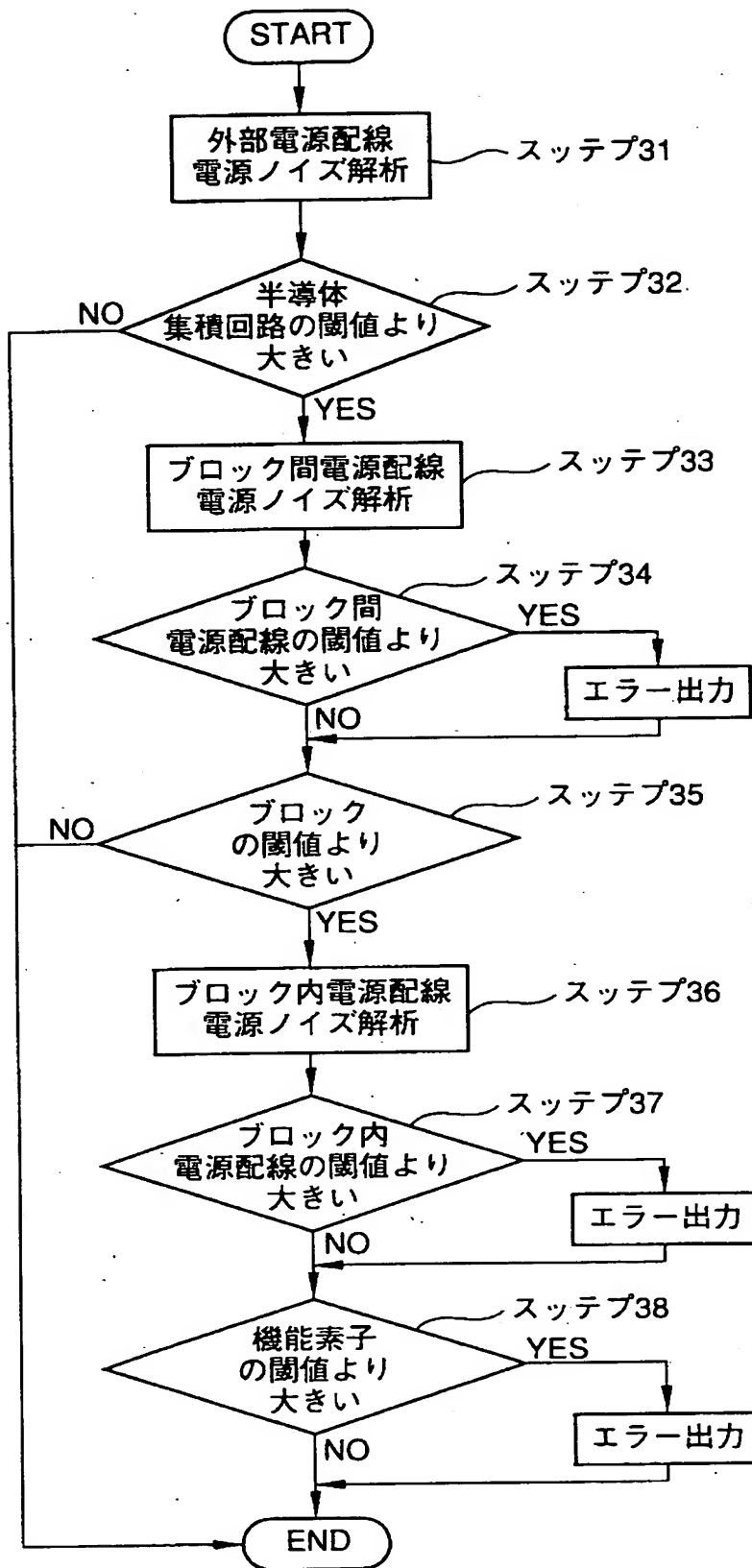
(c)



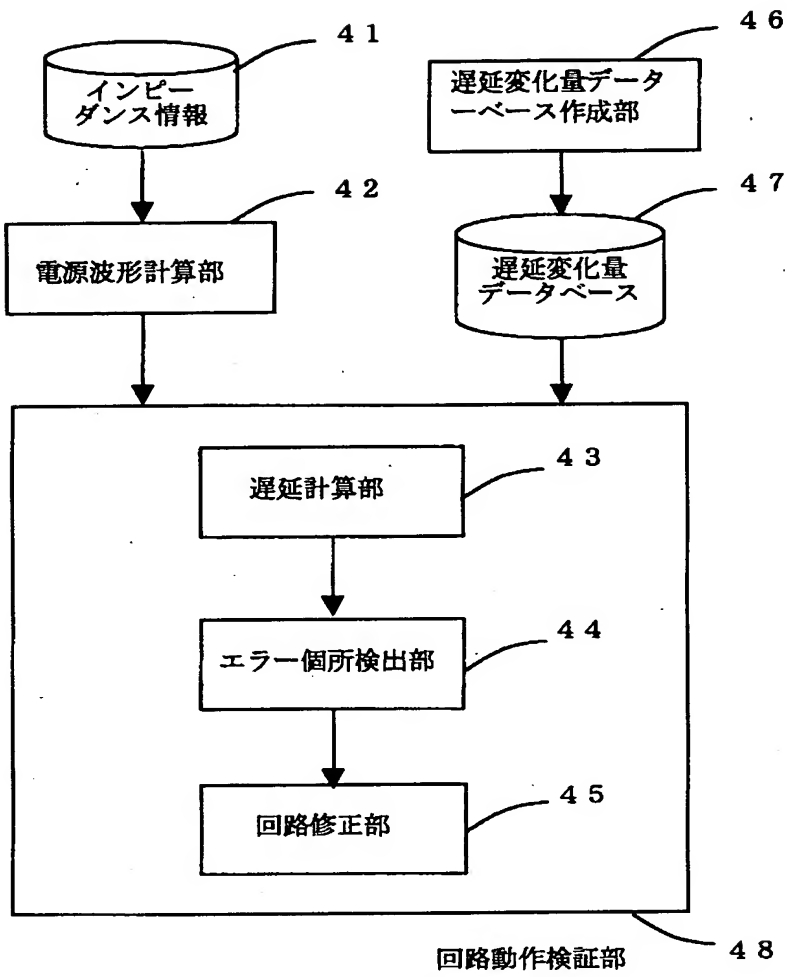
(d)



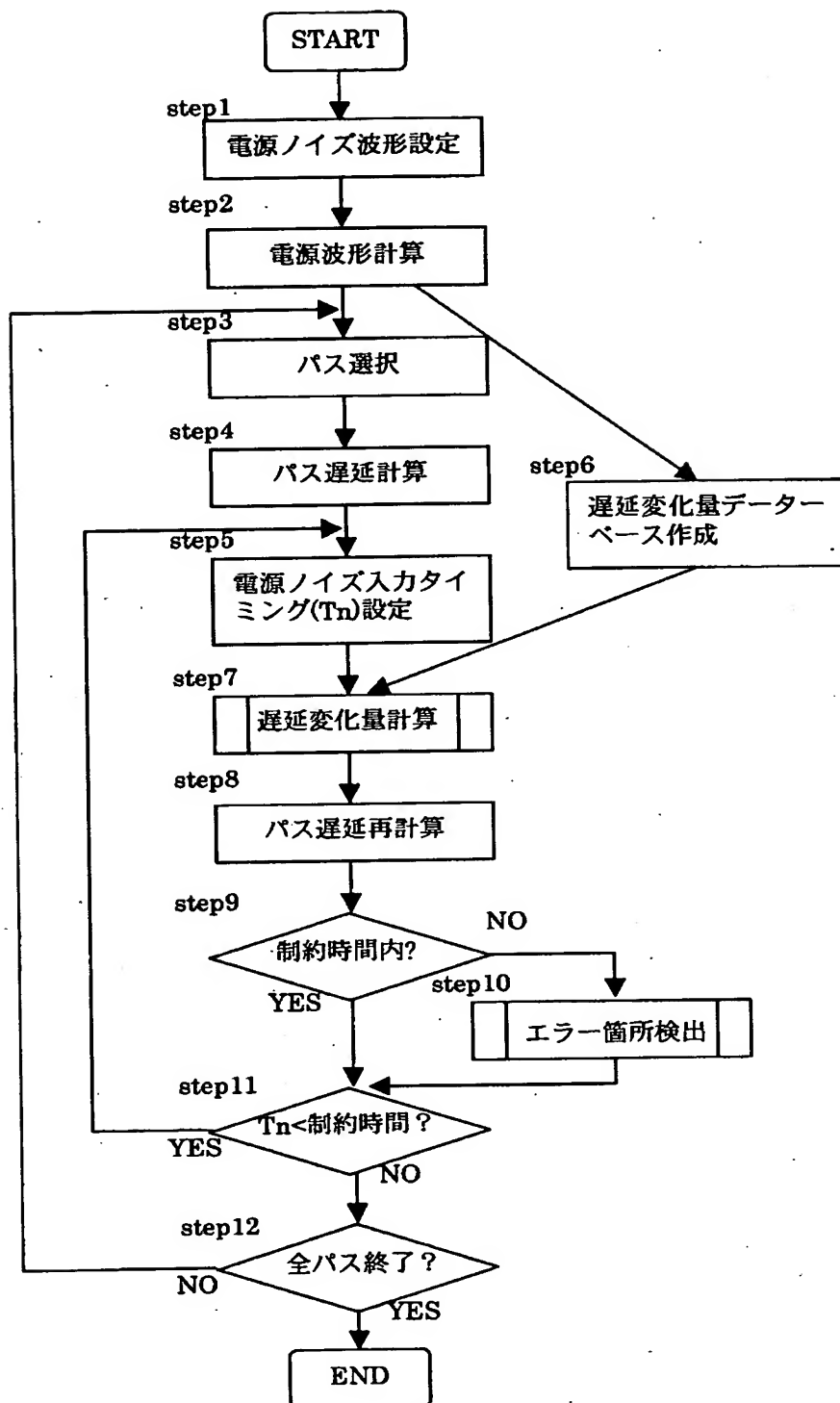
【図 3】



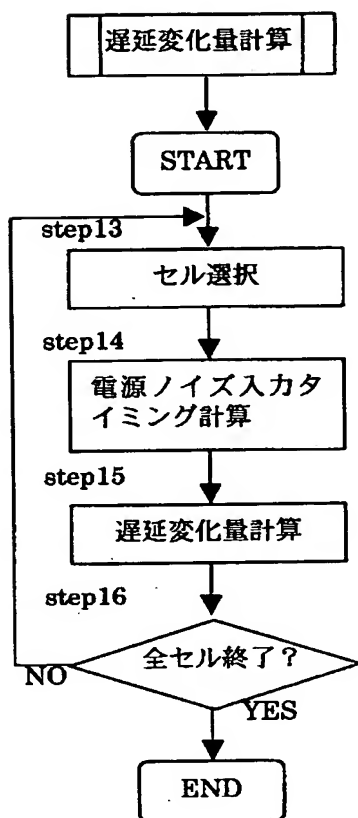
【図4】



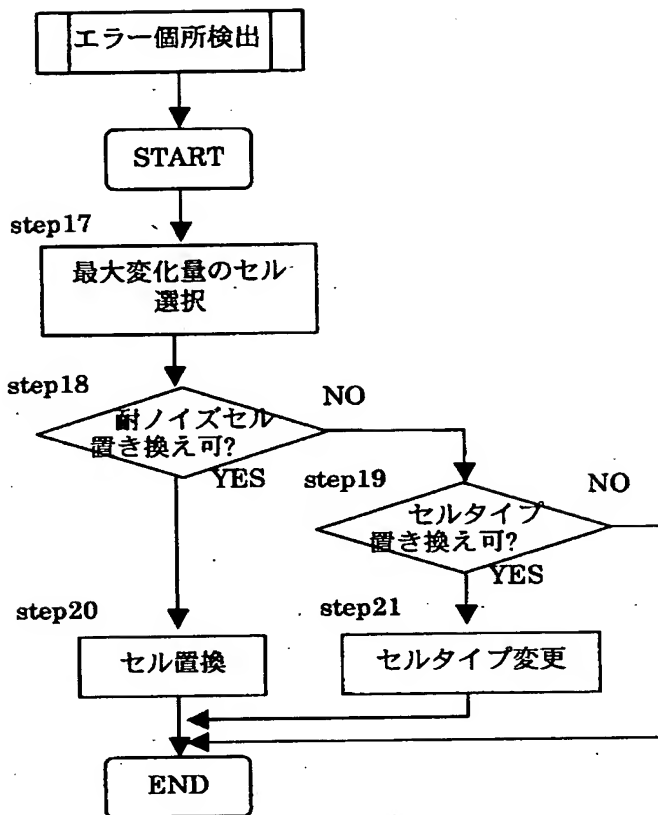
【図 5】



【図 6】



【図 7】

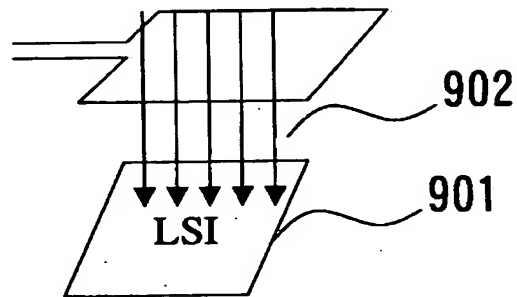


【図 8】

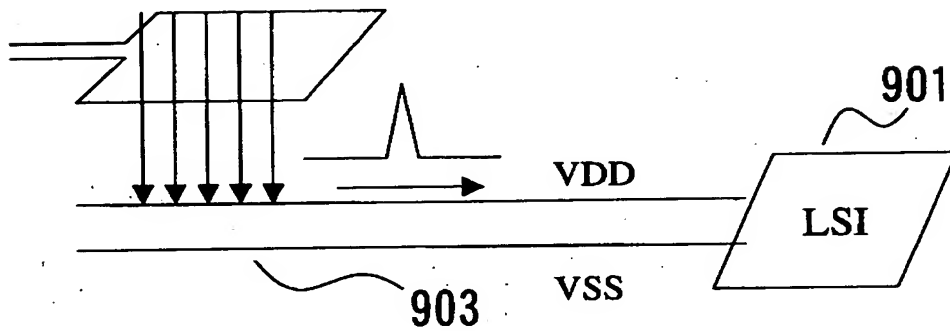
セル名	ピーク値	電源ノイズ入力タイミング毎の遅延変化量				
		-20	-10	0	+10	+20
NAND1	10	0	-3	-5	-3	0
NAND1	5	0	-1	-3	-1	0
NAND1	-5	0	+1	+3	+1	0
NAND1	-10	0	+3	+5	+3	0
"	"	"				

【図9】

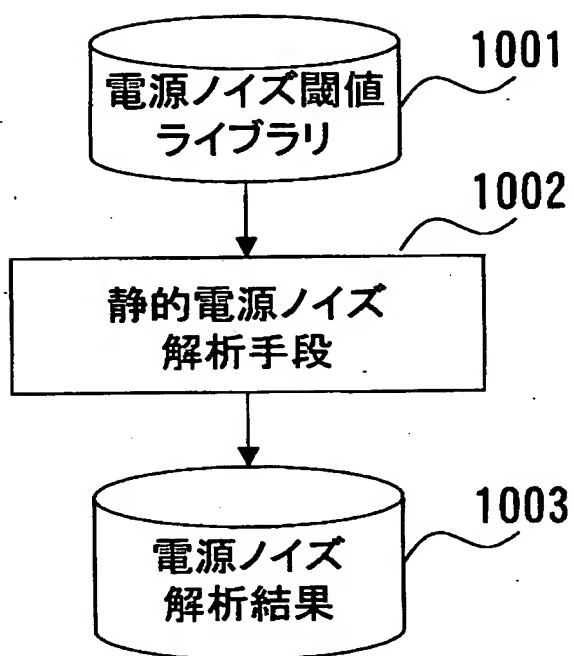
(a)電磁放射(radiation)による直接EMS



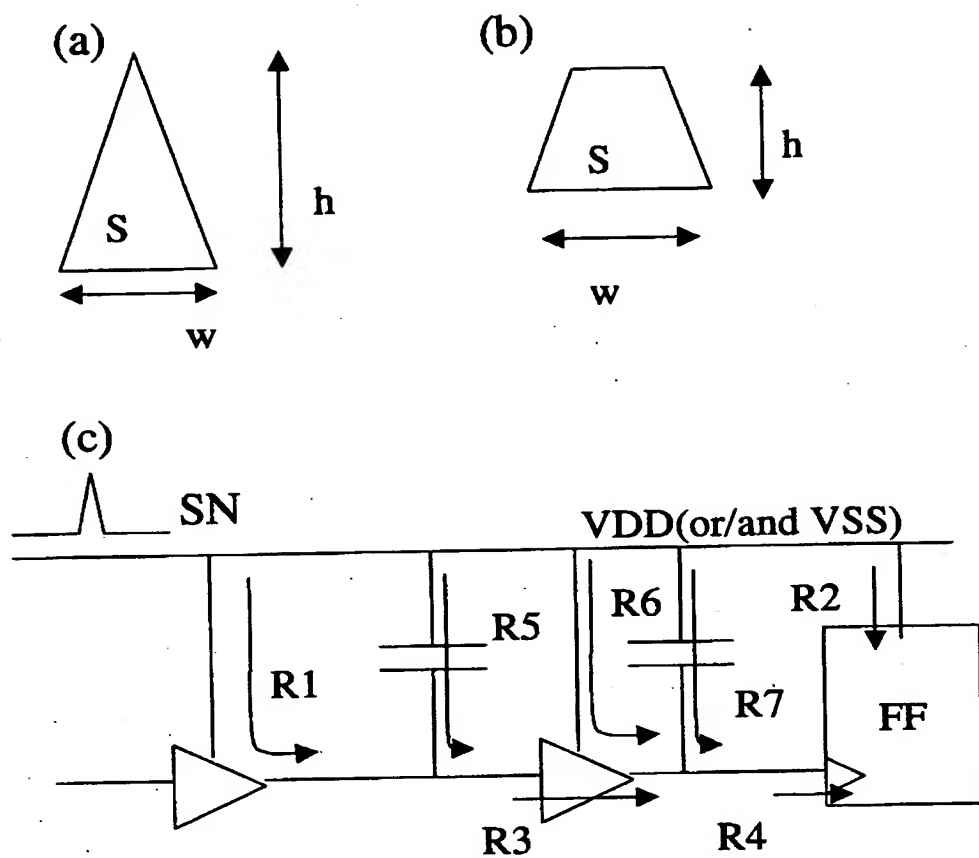
(b)電源からの間接EMS



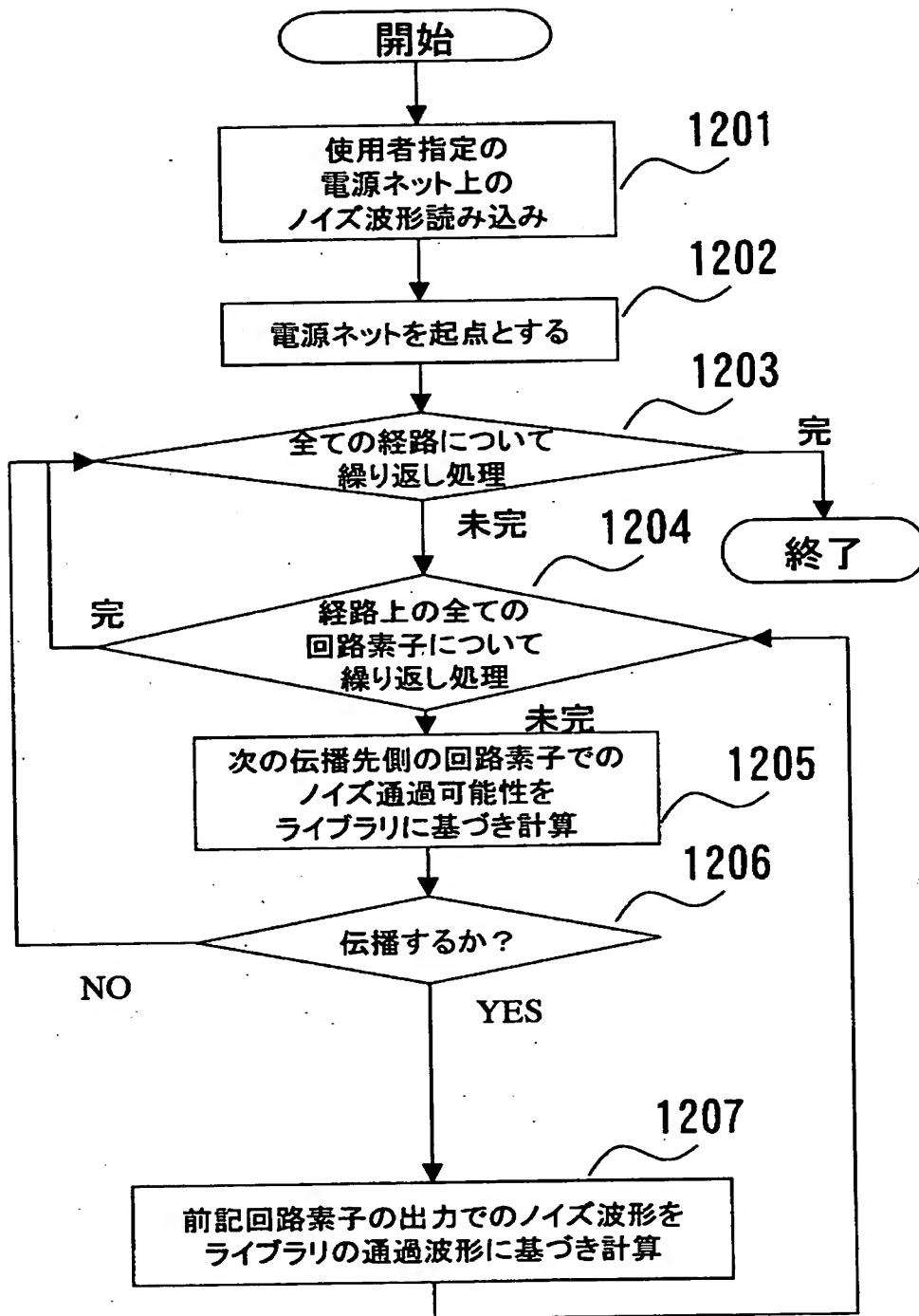
【図10】



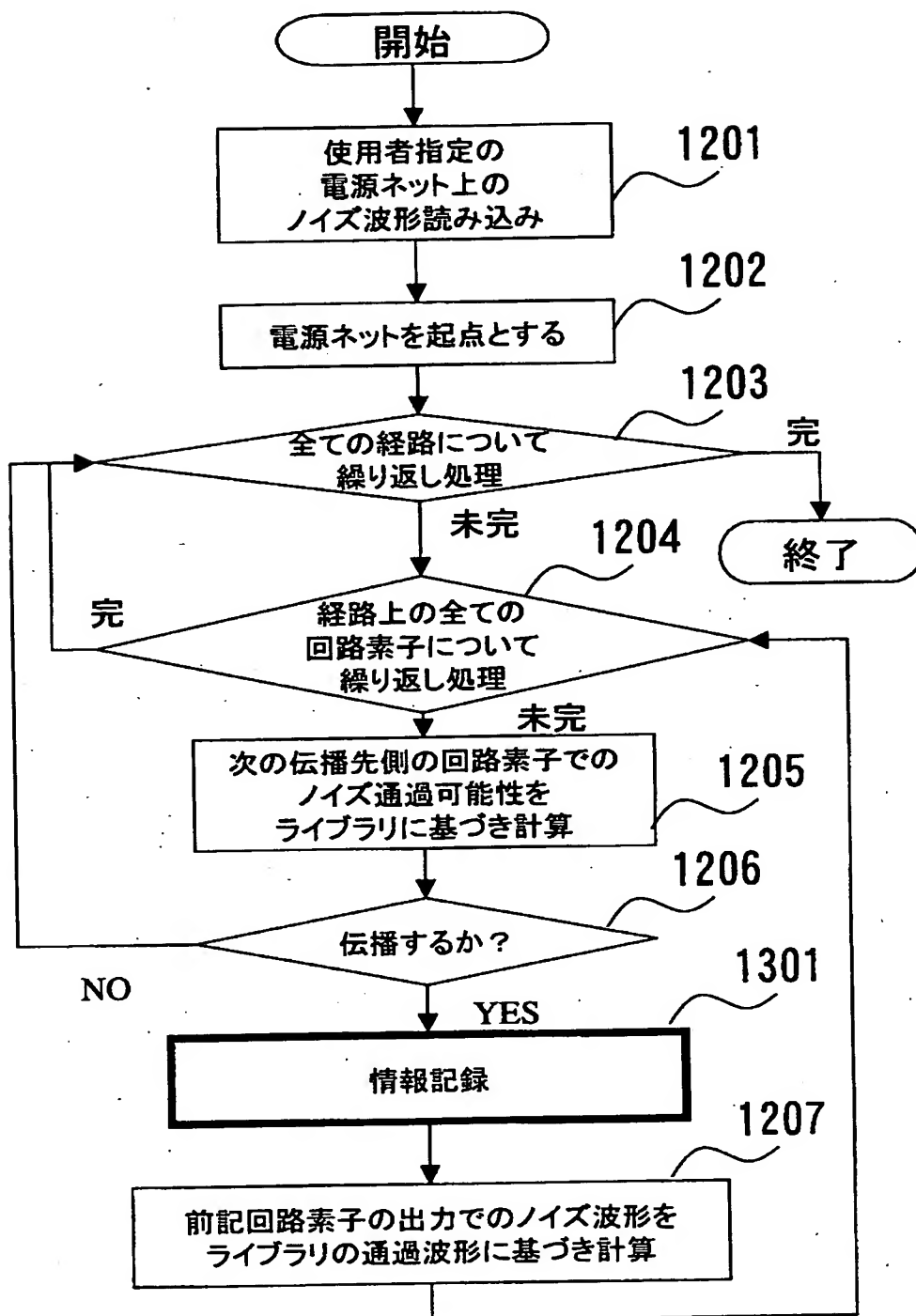
【図 11】



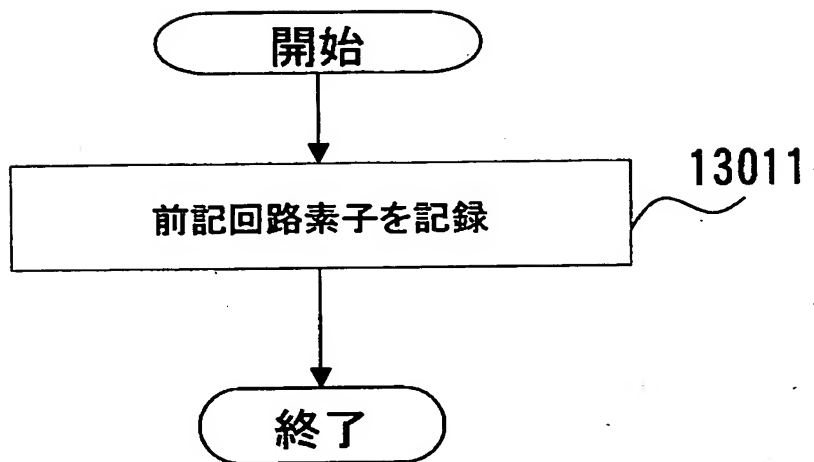
【図12】



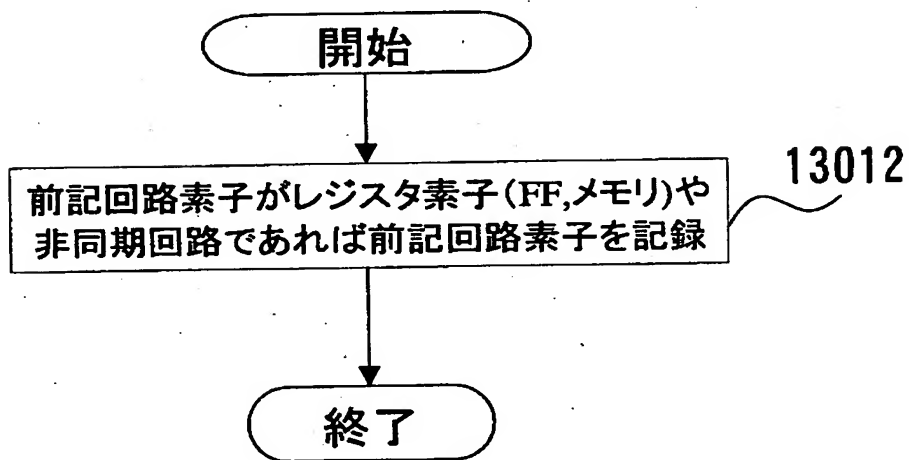
【図 13】



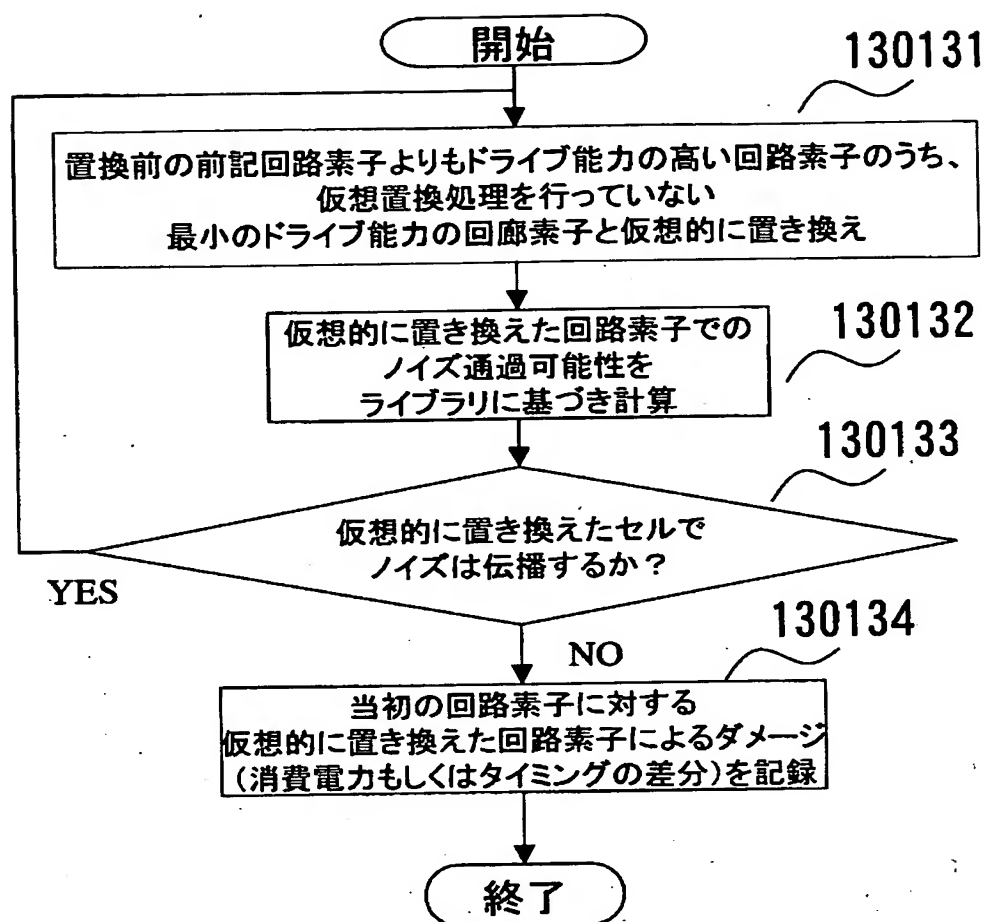
【図14】



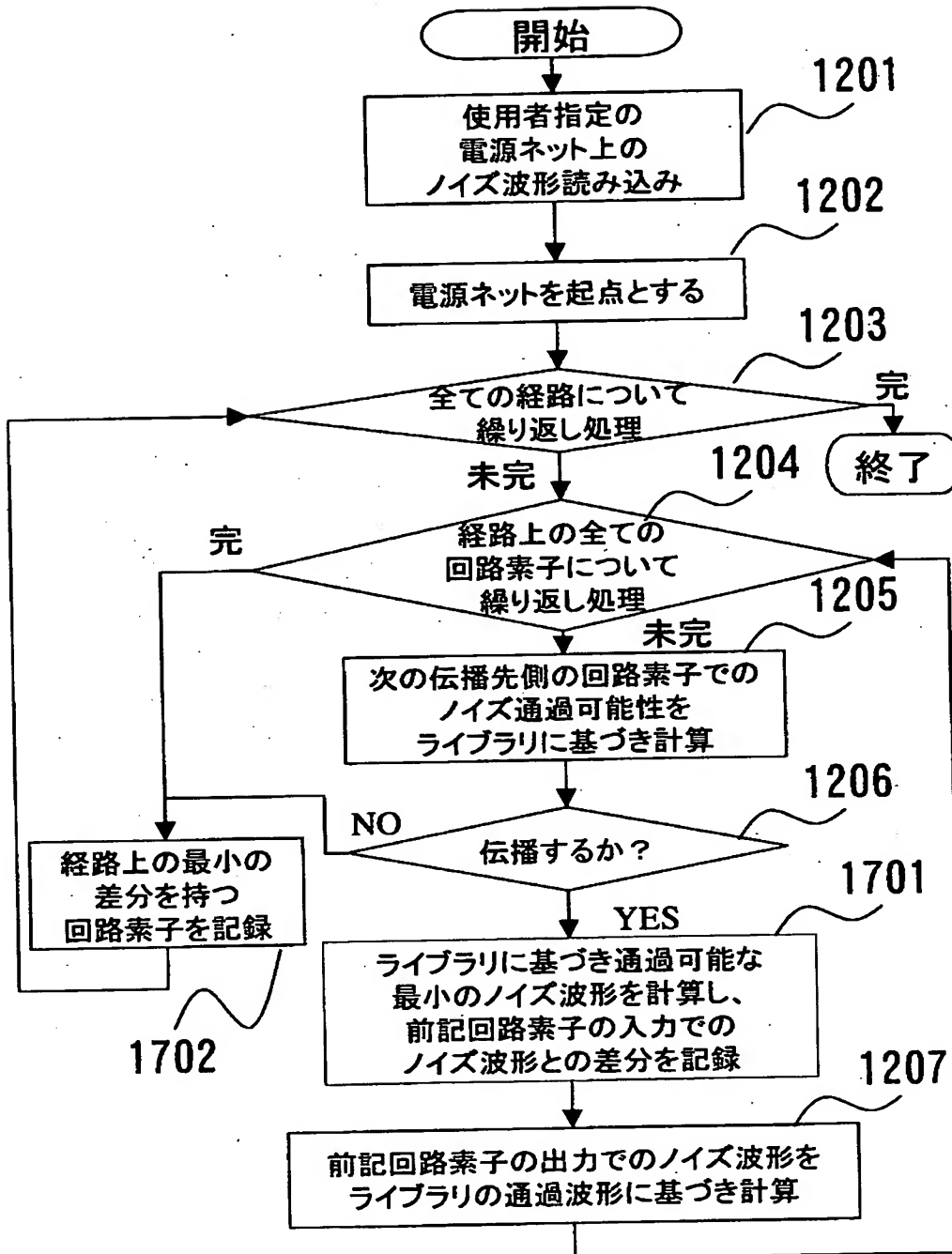
【図15】



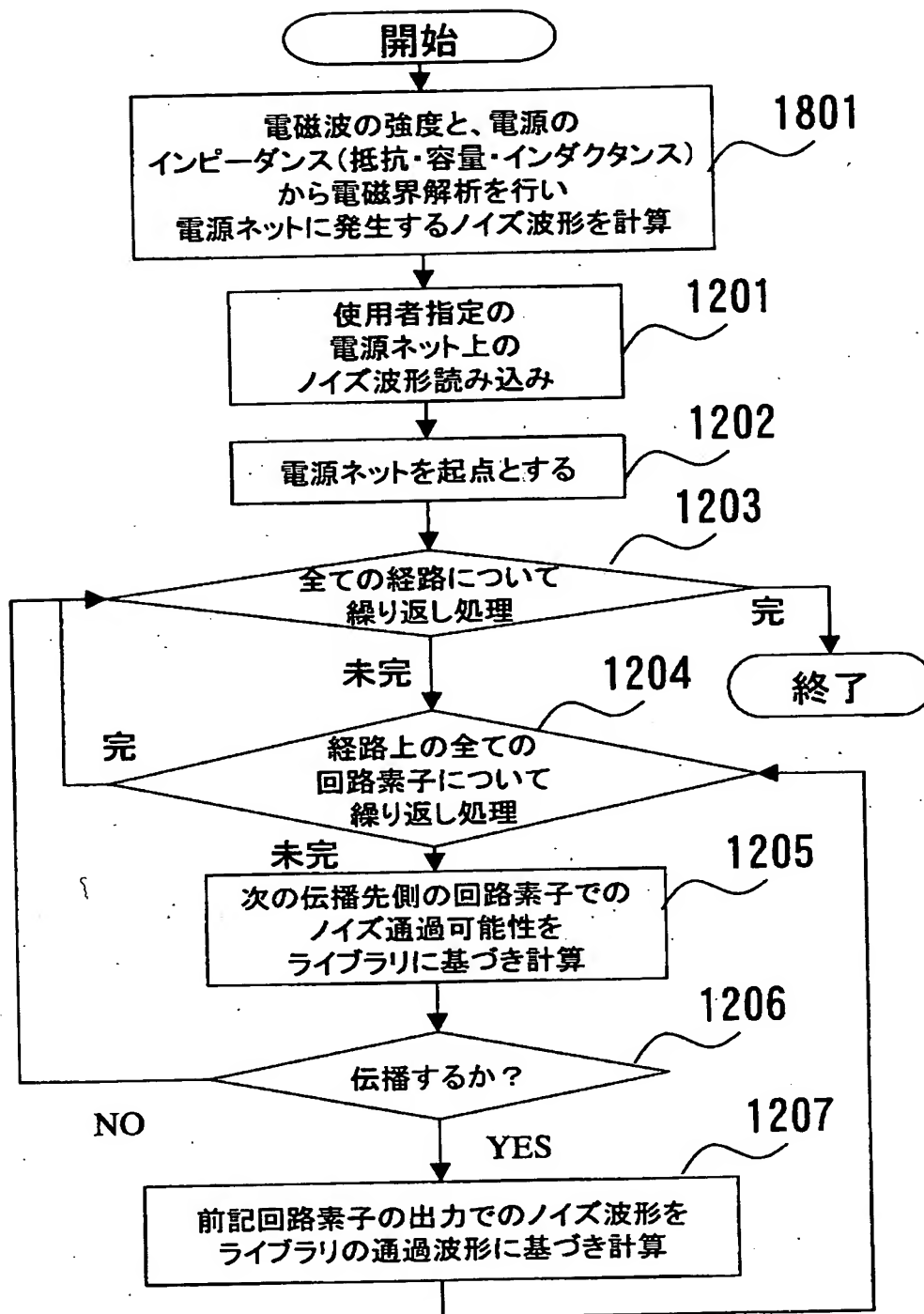
【図 16】



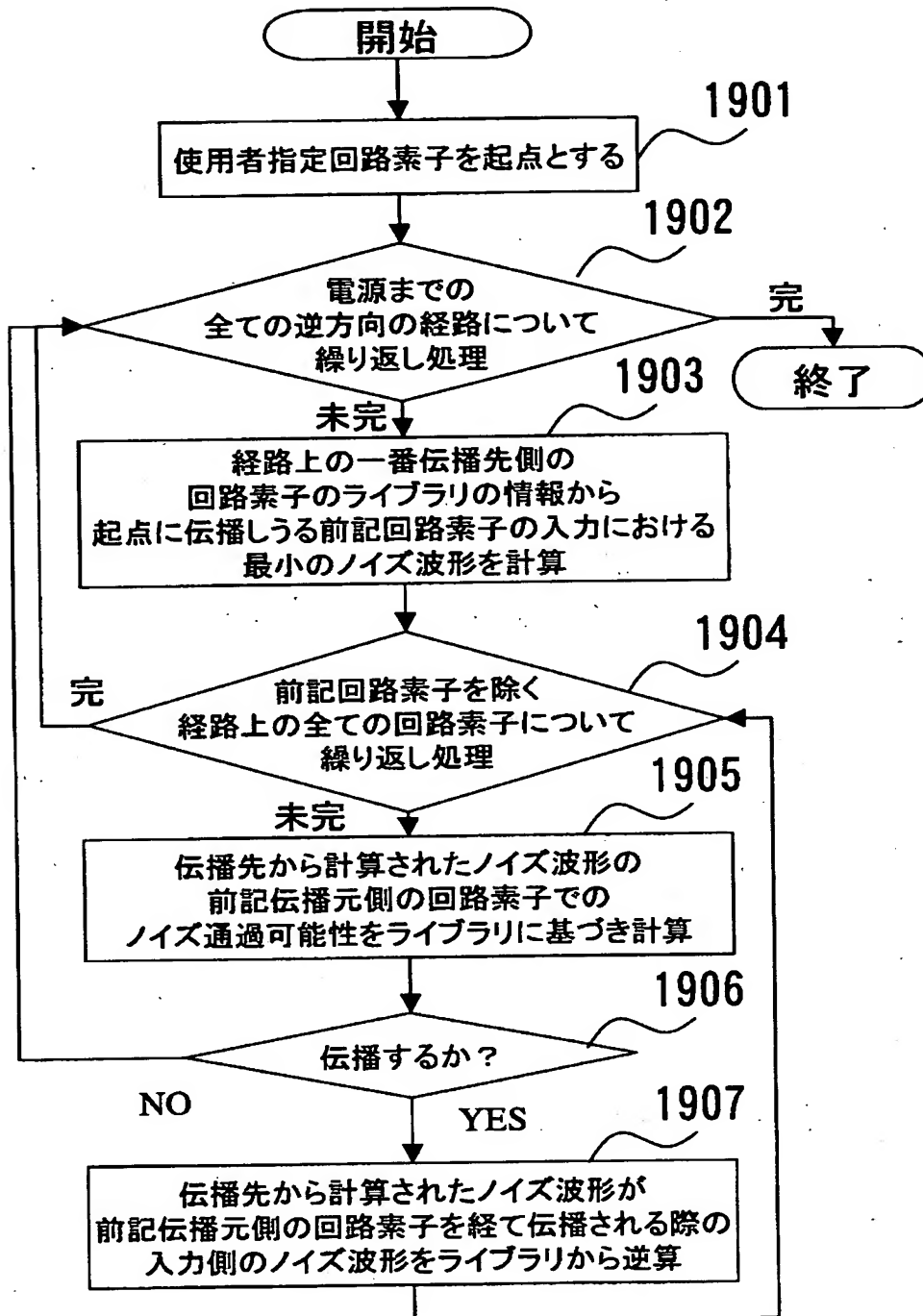
【図 17】



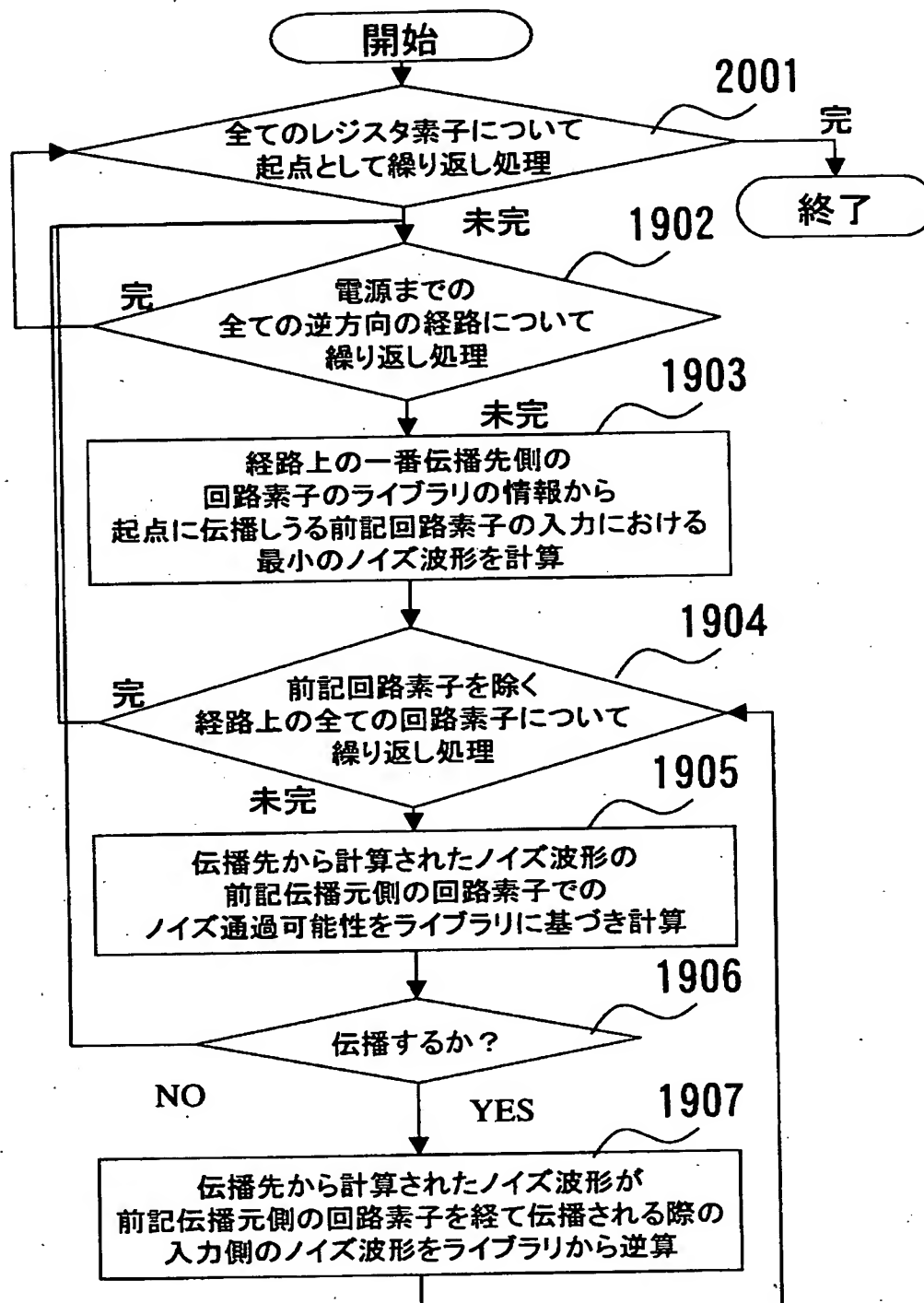
【図18】



【図 19】

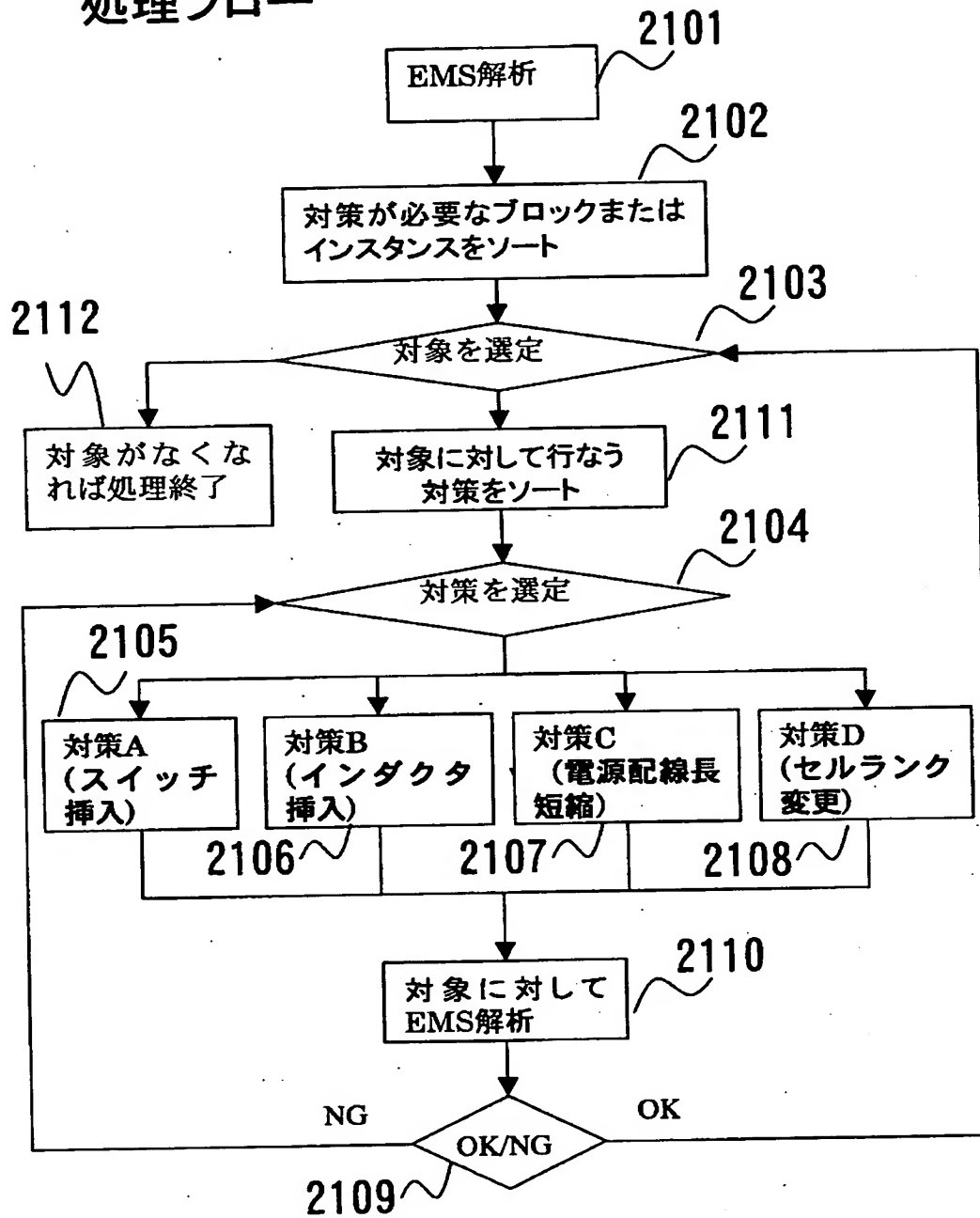


【図 20】



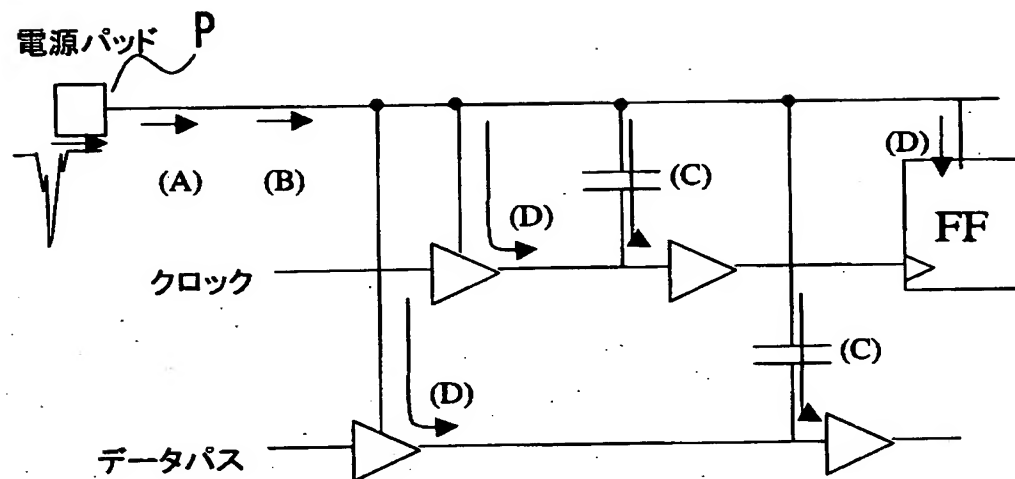
【図 21】

処理フロー



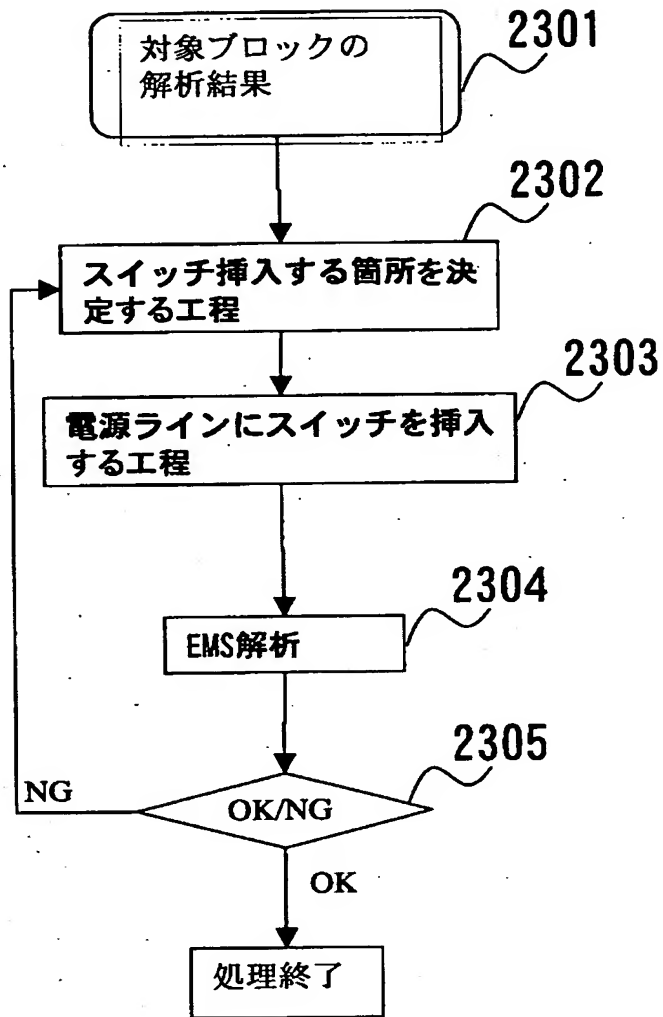
【図 22】

ノイズ伝搬経路



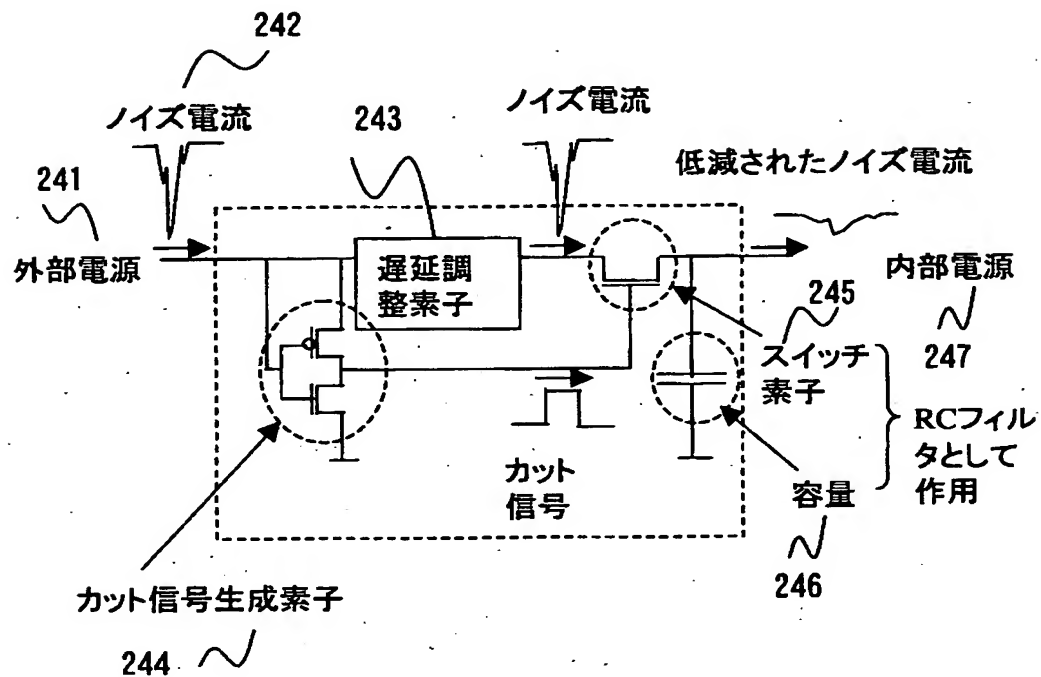
【図 2 3】

対策A(スイッチ挿入)



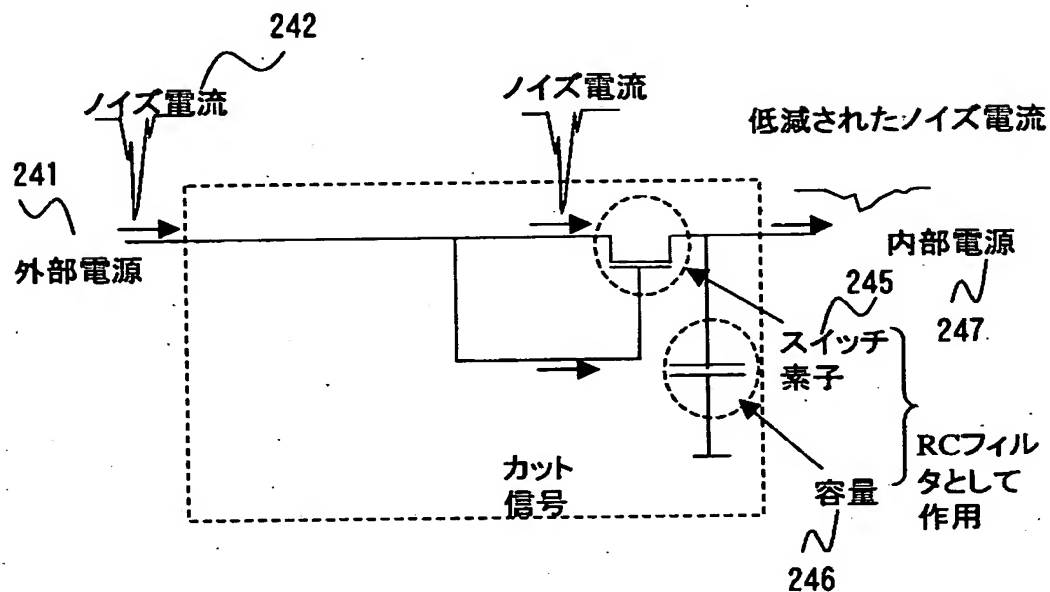
【図 24】

対策A(スイッチ回路1)



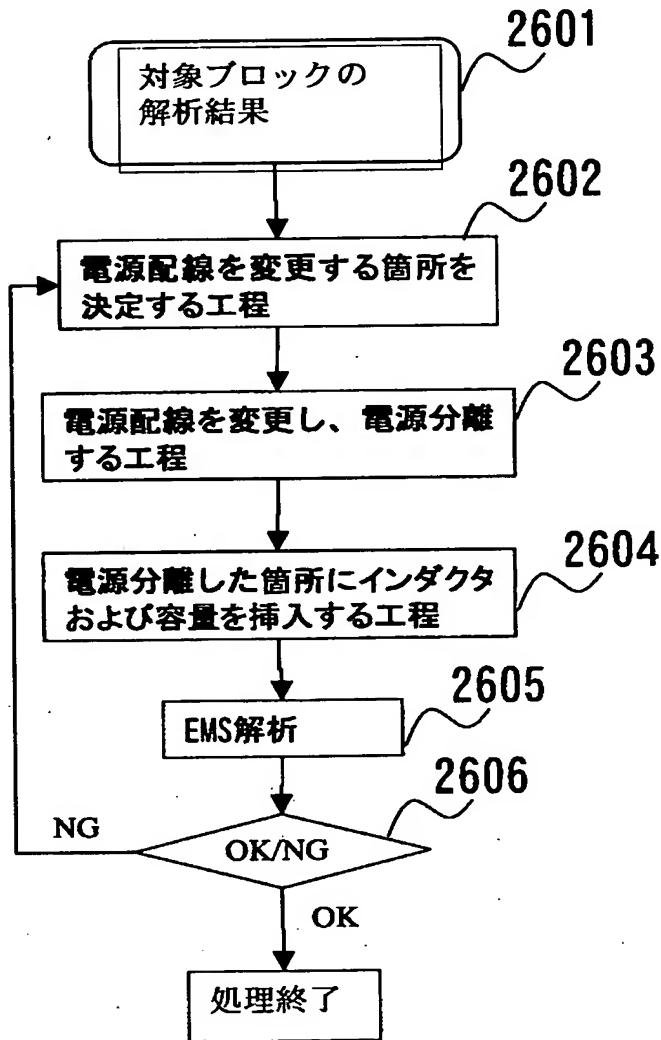
【図 25】

対策A(スイッチ回路2)



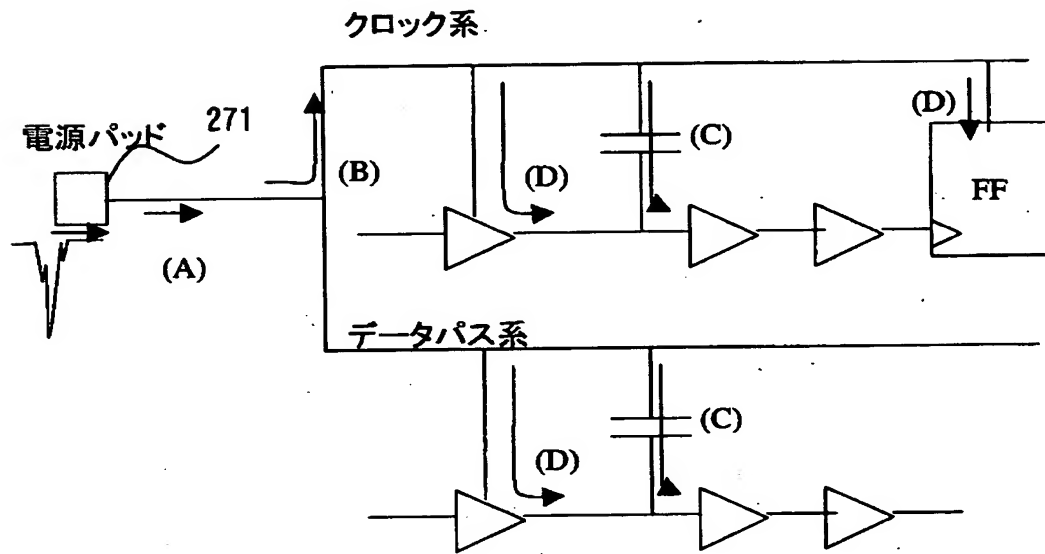
【図26】

対策B(電源分離→LCフィルタ挿入)



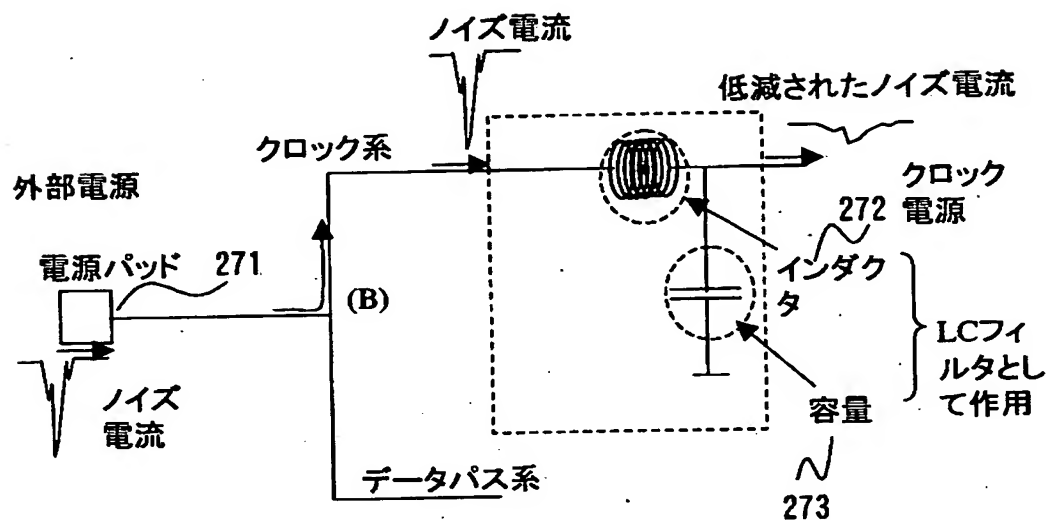
【図 27】

対策B(電源分離)



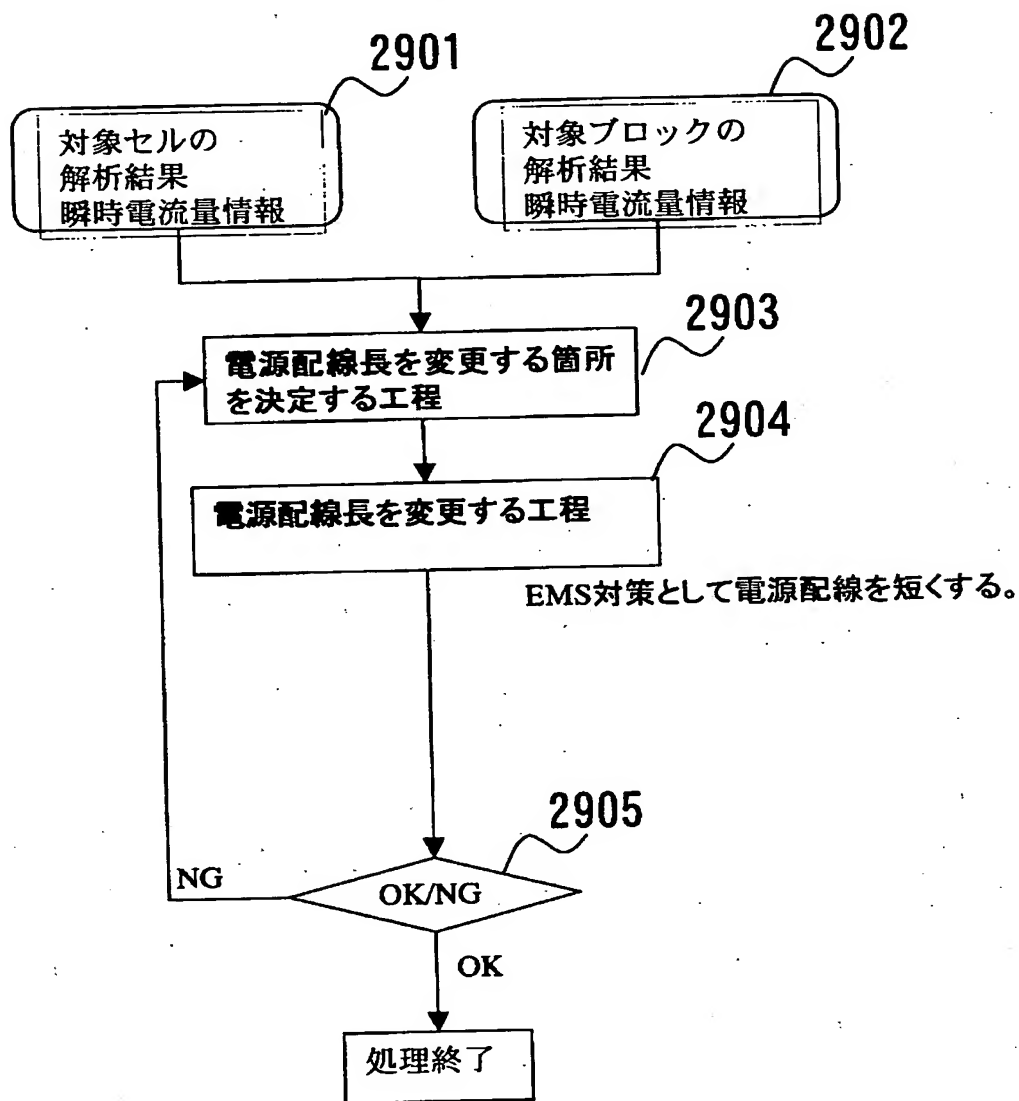
【図28】

対策B(LCフィルタ挿入)



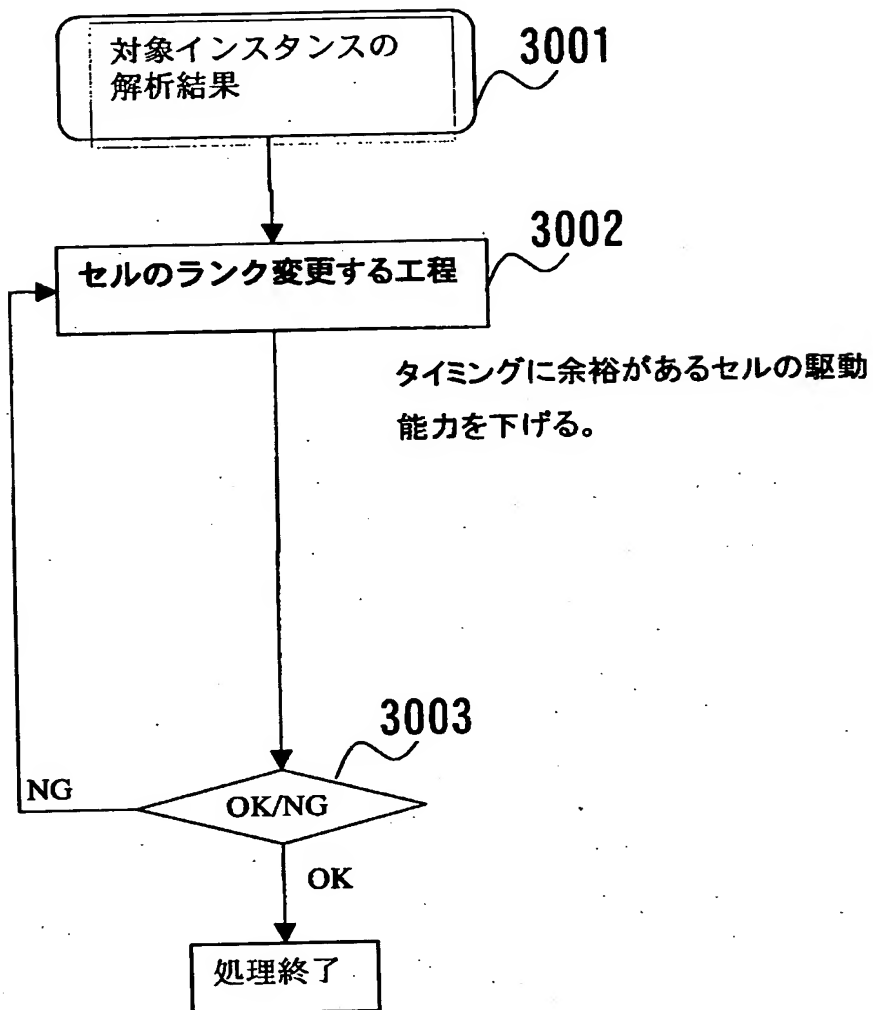
【図 29】

対策C(電源配線長短縮)

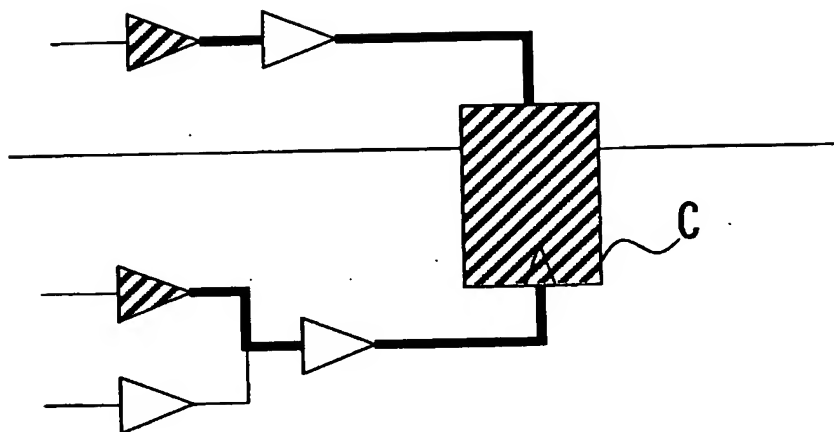


【図30】

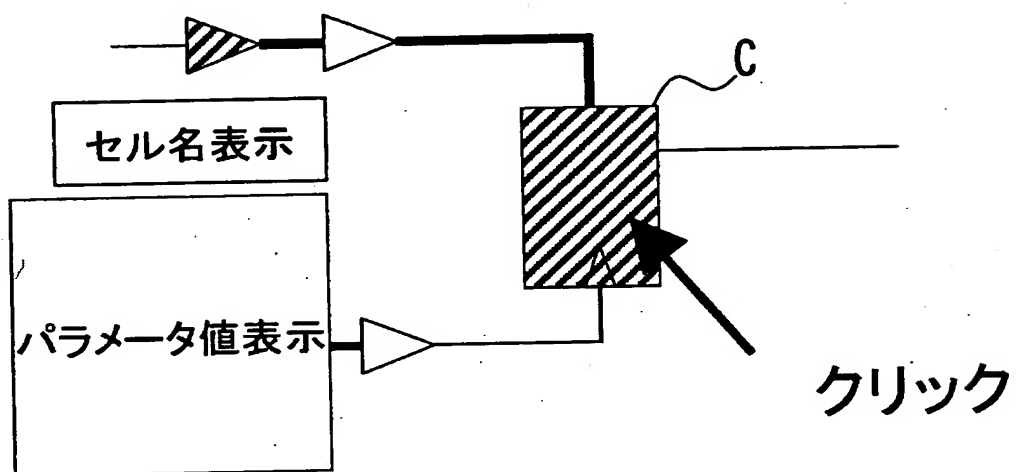
対策D(セルランク変更)



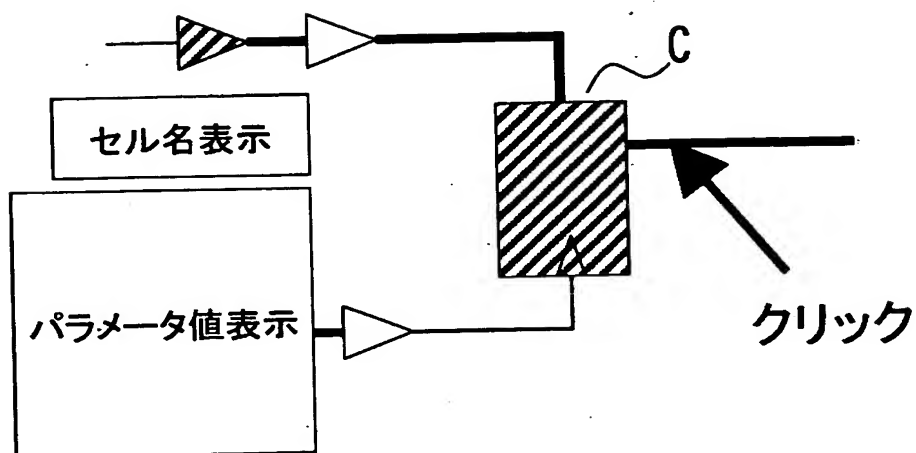
【図 3 1】



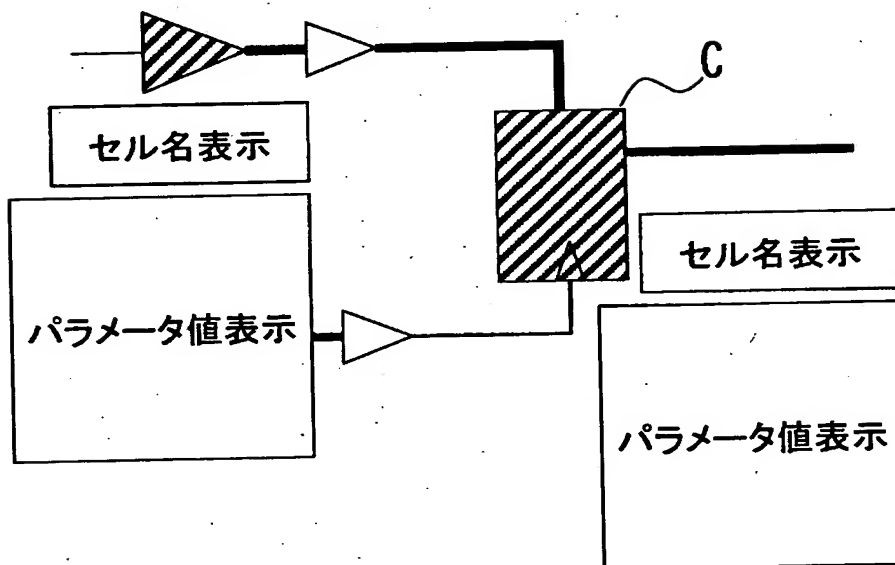
【図 3 2】



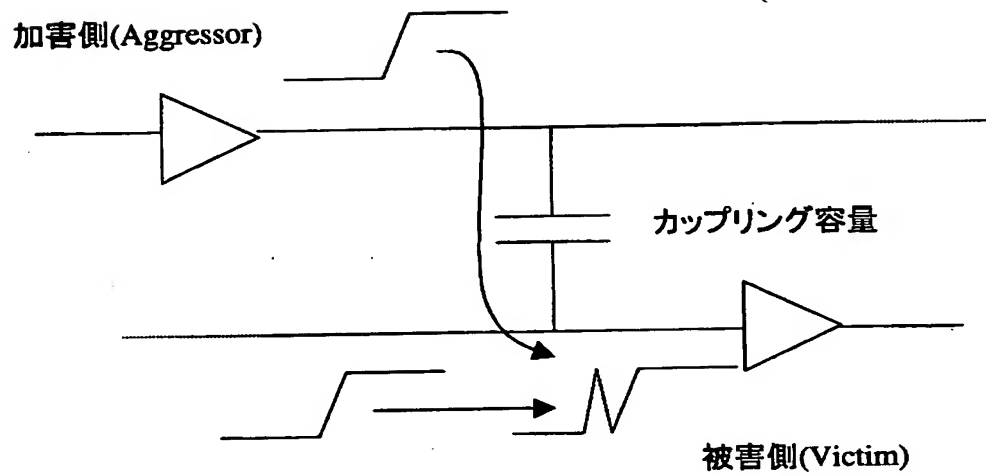
【図 33】



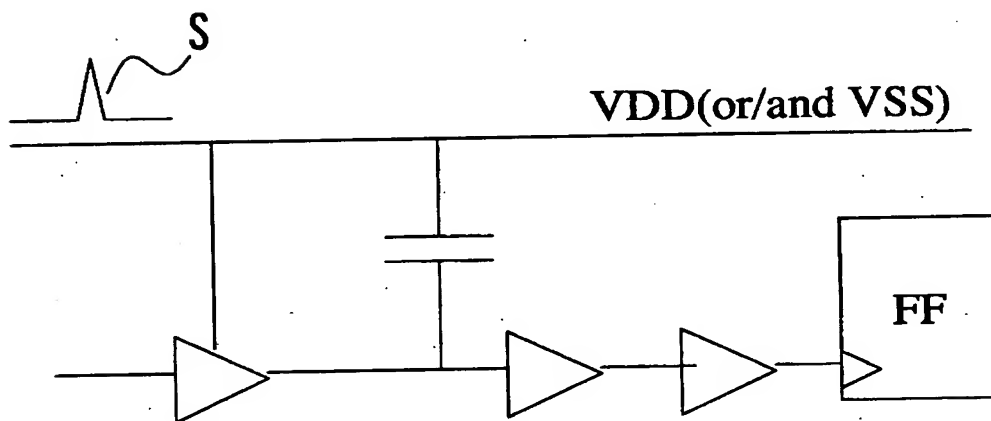
【図 34】



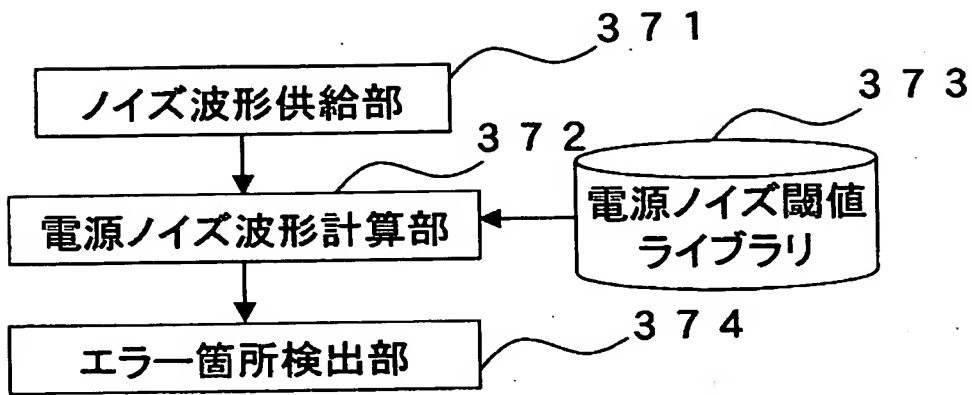
【図 3 5】



【図 3 6】



【図 37】



【書類名】 要約書

【要約】

【課題】 L S I の大規模化・高速化を維持しつつも電磁波障害を低減する。

【解決手段】 本発明の半導体集積回路への外部からのノイズを解析する方法は、対象となる半導体集積回路内部および前記半導体集積回路装置外部の電源配線のインピーダンス情報を抽出する工程と、前記インピーダンス情報から等価回路を作成する等価回路作成工程と、前記等価回路の入力情報として、外部からノイズ波形を供給し、前記半導体集積回路へのノイズの影響を解析する解析工程とを含むことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社